

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-194690

(43)Date of publication of application : 15.07.1994

(51)Int.Cl.

G02F 1/136  
G02F 1/13  
G02F 1/1345

(21)Application number : 05-252783

(71)Applicant : HITACHI LTD  
HITACHI PROCESS COMPUT ENG INC

(22)Date of filing : 08.10.1993

(72)Inventor : SATO HIDEO  
HOSHINO MINORU  
MORI YUJI  
KOMURA SHINICHI  
NAGAE KEIJI  
NAGATA TETSUYA  
ARIMOTO AKIRA  
HAYASAKA AKIO  
KATSUYAMA ICHIRO

(30)Priority

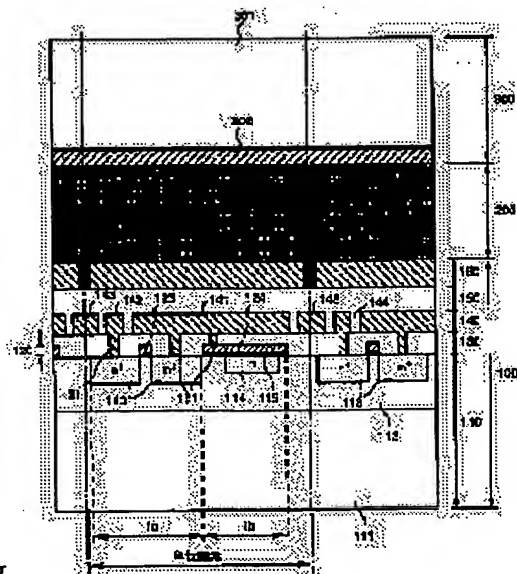
Priority number : 04269961 Priority date : 08.10.1992 Priority country : JP

## (54) LIQUID CRYSTAL LIGHT VALVE AND PROJECTION TYPE DISPLAY FORMED BY USING THE VALVE

(57)Abstract:

**PURPOSE:** To provide the liquid crystal light valve for which a semiconductor substrate is used and which has excellent light resistance and enables video signal writing at a high speed and to provide the projection type display which can display high-fineness and high-quality images.

**CONSTITUTION:** Three layers of metallic layers 140 divided by slit 144 are provided on the semiconductor substrate 100 having switching element regions and the slits 144 of the respective layers are shifted and disposed in a direction parallel with the semiconductor substrate 100 to shield the light of the semiconductor substrate. Two layers of metallic layers 160 divided by slits are provided on the semiconductor substrate 100 and semiconductor regions of a reference potential are provided in places where the incident light from the slits arrive at the semiconductor substrate. Substrate power feed lines for supplying the substrate potential to the substrate potential regions and holding capacity regions of the switching element regions are formed in any of the mentioned above metallic layer. The substrate power feed lines and video signal lines are disposed in parallel with each other.



---

## LEGAL STATUS

[Date of request for examination]	06.10.2000
[Date of sending the examiner's decision of rejection]	26.02.2002
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	
[Date of registration]	
[Number of appeal against examiner's decision of rejection]	2002-05122
[Date of requesting appeal against examiner's decision of rejection]	27.03.2002
[Date of extinction of right]	

Copyright (C); 1998,2003 Japan Patent Office

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

[Claim 1] The semi-conductor substrate which has two or more switching element fields formed in the shape of a matrix on the surface of one side, The 1st metal layer which was formed through the insulating layer on one front face of said semi-conductor substrate, and was divided into plurality to the 1st slit, The 2nd metal layer which was formed through the insulating layer on said 1st metal layer, and was divided into plurality to the 2nd slit, The 3rd metal layer which was formed through the insulating layer on said 2nd metal layer, and was divided into plurality to the 3rd slit, The opposite substrate which it has a counterelectrode on the surface of one side, and said counterelectrode side has a gap in said 3rd metal layer, and counters, It consists of liquid crystal with which the gap between said counterelectrode and the 3rd metal layer was filled up. Said 1st slit, the 2nd slit, and the 3rd slit are a liquid crystal light valve arranged by shifting in the direction parallel to one front face of a semi-conductor substrate in order to prevent that the light which carried out incidence from said opposite substrate side reaches a semi-conductor substrate mutually.

[Claim 2] The semi-conductor substrate which has two or more switching element fields formed in the shape of a matrix on the surface of one side, The 1st metal layer which was formed through the insulating layer on one front face of said semi-conductor substrate, and was divided into plurality to the 1st slit, The 2nd metal layer which was formed through the insulating layer on said 1st metal layer, and was divided into plurality to the 2nd slit, The opposite substrate which it has a counterelectrode on the surface of one side, and said counterelectrode side has a gap in said 2nd metal layer, and counters, The liquid crystal light valve which established the semiconductor region linked to a reference potential in the location where the light which consisted of liquid crystal with which the gap between said counterelectrode and the 2nd metal layer was filled up, and carried out incidence through the 1st slit and 2nd slit from said opposite substrate side reaches a semi-conductor substrate.

[Claim 3] The liquid crystal light valve which formed the substrate feeder which establishes a capacitative element field in one front face of said semi-conductor substrate corresponding to each of said switching element field, and supplies substrate potential to the substrate potential field of said switching element field, and said capacitative element field in the 1st term of a patent claim, or the 2nd term by either of said metal layers.

[Claim 4] The liquid crystal light valve which formed the video-signal line which supplies a video signal to the video-signal input terminal section of said switching element field by either of said metal layers in the 3rd term of a patent claim, and has arranged said substrate feeder and video-signal line to parallel mutually.

[Claim 5] The liquid crystal light valve which formed the MOS transistor in said switching element field, and formed MOS capacity in said capacitative element field in the 3rd term of a patent claim.

[Claim 6] The liquid crystal light valve which prepared the black layer in one [ at least ] field of said 1st metal layer, the 2nd metal layer, or the 3rd metal layer in the 1st term of a patent claim, or the 2nd term.

[Claim 7] The liquid crystal light valve with which the light which carried out incidence through the 1st slit and 2nd slit from said opposite substrate side established the P type field which touches an N type field and this in the location which reaches a semi-conductor substrate, and connected said both N type

fields and P type fields to the reference potential in the 2nd term of a patent claim.

[Claim 8] The liquid crystal light valve which prepared the field of the signal circuit which supplies a signal to one front face of said semi-conductor substrate to said two or more switching element fields in the 1st term of a patent claim, or the 2nd term.

[Claim 9] It is the liquid crystal light valve which is the circuit which supplies the control signal of the circuit where said signal circuit supplies a video signal to said two or more switching element fields in the 8th term of a patent claim, and a switching element.

[Claim 10] It is the liquid crystal light valve with which a before signal circuit consists of a high proof-pressure CMOS transistor and a low proof-pressure CMOS transistor in the 8th term of a patent claim.

[Claim 11] The liquid crystal light valve which prepared the substrate feed field connected to the periphery of the field of said signal circuit on one front face of said semi-conductor substrate at substrate potential in the 8th term of a patent claim.

[Claim 12] The semi-conductor substrate which has two or more switching element fields formed in the shape of a matrix on the surface of one side, The 1st metal layer which was formed through the insulating layer on one front face of said semi-conductor substrate, and was divided into plurality to the 1st slit, The 2nd metal layer which was formed through the insulating layer on said 1st metal layer, and was divided into plurality to the 2nd slit, The 3rd metal layer which was formed through the insulating layer on said 2nd metal layer, and was divided into plurality to the 3rd slit, The opposite substrate which it has a counterelectrode on the surface of one side, and said counterelectrode side has a gap in said 3rd metal layer, and counters, It consists of liquid crystal with which the gap between said counterelectrode and the 3rd metal layer was filled up. The liquid crystal light valve arranged by said 1st slit, the 2nd slit, and the 3rd slit shifting in the direction parallel to one front face of a semi-conductor substrate in order to prevent that the light which carried out incidence from said opposite substrate side reaches a semi-conductor substrate, The projection mold display equipped with the light source which supplies the light irradiated by said liquid crystal light valve from said opposite substrate side, and the optical system which carries out amplification projection of the reflected light from said liquid crystal light valve.

[Claim 13] The semi-conductor substrate which has two or more switching element fields formed in the shape of a matrix on the surface of one side, The 1st metal layer which was formed through the insulating layer on one front face of said semi-conductor substrate, and was divided into plurality to the 1st slit, The 2nd metal layer which was formed through the insulating layer on said 1st metal layer, and was divided into plurality to the 2nd slit, The opposite substrate which it has a counterelectrode on the surface of one side, and said counterelectrode side has a gap in said 2nd metal layer, and counters, It consists of liquid crystal with which the gap between said counterelectrode and the 2nd metal layer was filled up. The liquid crystal light valve which established the semiconductor region linked to a reference potential in the location where the light which carried out incidence through the 1st slit and 2nd slit from said opposite substrate side reaches a semi-conductor substrate, The projection mold display equipped with the light source which supplies the light irradiated by said liquid crystal light valve from said opposite substrate side, and the optical system which carries out amplification projection of the reflected light from said liquid crystal light valve.

[Claim 14] The projection mold display which formed the substrate feeder which establishes a capacitive element field in one front face of said semi-conductor substrate corresponding to each of said switching element field, and supplies substrate potential to the substrate potential field of said switching element field, and said capacitive element field in the 12th term of a patent claim, or the 13th term by either of said metal layers.

[Claim 15] The projection mold display which prepared the field of the signal circuit which supplies a signal to one front face of said semi-conductor substrate to said two or more switching element fields in the 12th term of a patent claim, or the 13th term.

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

**[Detailed Description of the Invention]**

**[0001]**

**[Industrial Application]** This invention relates to the liquid crystal display which controls the intensity of light by amplitude value of an electrical potential difference, especially relates to the projection mold display using the suitable liquid crystal light valve and suitable it for a projection mold display.

**[0002]**

**[Description of the Prior Art]** In the liquid crystal display by the active matrix which carries out the laminating of the liquid crystal to a switching element, and controls light, the liquid crystal display using the MOS (Metal Oxide Semiconductor) transistor formed in the single crystal silicon substrate as a switching element is indicated by IE 80-81 of USP3,862,360 and an IECE technical report (1980).

**[0003]** If light is irradiated by the MOS transistor, a photocurrent will occur in the PN-junction section which forms the source and the drain of an MOS transistor. This photocurrent will change the video signal written in the liquid crystal pixel of a display, and it will become impossible to display the predetermined image which should be displayed. Therefore, in the liquid crystal display using the MOS transistor formed in the single crystal silicon substrate, it is necessary to reduce a photocurrent so that there may be no effect in the display screen. Each above-mentioned conventional display is a method which sees directly the image controlled by the switching element, and is usually used indoors. For this reason, it was enough as the illuminance on the front face of a display panel just to prevent the effect of the light which is tens of thousands of luxs.

**[0004]** In order to reduce this photocurrent, in the above-mentioned IECE technical report, the approach of making the carrier which established the wrap and the stopper diffusion layer and generated the silicon substrate side which makes the source field of an MOS transistor the arrangement kept away as much as possible from the incidence field of light, and which forms an MOS transistor in wiring layer two-layer recombine etc. was taken.

**[0005]** Moreover, since the display size of the above-mentioned display was as small as about 2 inches from constraint of a silicon wafer etc., such a number of pixels of a display was about 40,000 from the point of the resolution which can be recognized to be this display size.

**[0006]**

**[Problem(s) to be Solved by the Invention]** As mentioned above, the liquid crystal display using the MOS transistor formed in the single crystal silicon substrate was restricted to the direct viewing type.

**[0007]** On the other hand, on a projection mold display, the panel which carried out the laminating of the liquid crystal to the switching element is called a liquid crystal light valve, and amplification projection of the image controlled by this light valve is carried out at a screen. For this reason, only the part which expands the light which irradiates a light valve to a screen becomes strong, and that brightness also becomes millions of luxs. Furthermore, since the pixel controlled by the light valve is expanded and an image becomes coarse, as for the number of pixels of a light valve, 300,000 or more are required.

**[0008]** Thus, on a projection mold display, when the liquid crystal light valve using the transistor formed in semi-conductor substrates, such as silicon, is used, writing in a video signal by each pixel at high speed is required as raising the lightfastness of a liquid crystal light valve by the increment in the

number of pixels.

[0009] This invention is made in view of such the actual condition, and the object is in offering the liquid crystal light valve which can write [ offering the liquid crystal light valve which was not influenced of a powerful exposure light but was excellent in lightfastness, and ] in a video signal at high speed, and offering the projection mold display which displays the highly minute and bright image of high quality using still such a liquid crystal light valve using semi-conductor substrates, such as silicon.

[0010]

[Means for Solving the Problem] In order to attain the above-mentioned object, the liquid crystal light valve consisted of this inventions as follows.

[0011] The semi-conductor substrate which has two or more switching element fields formed in the shape of a matrix on the surface of one side, The 1st metal layer which was formed through the insulating layer on one front face of a semi-conductor substrate, and was divided into plurality to the 1st slit, The 2nd metal layer which was formed through the insulating layer on the 1st metal layer, and was divided into plurality to the 2nd slit, The 3rd metal layer which was formed through the insulating layer on the 2nd metal layer, and was divided into plurality to the 3rd slit, The opposite substrate which it has a counterelectrode on the surface of one side, and a counterelectrode side has a gap in said 3rd metal layer, and counters, It consisted of liquid crystal with which the gap between a counterelectrode and the 3rd metal layer was filled up, and the 1st slit, 2nd slit, and 3rd slit of each other were shifted in the direction parallel to one front face of a semi-conductor substrate, and have been arranged in it so that it may prevent that the light which carried out incidence from the opposite substrate side reaches a semi-conductor substrate.

[0012] Moreover, the semi-conductor substrate which has two or more switching element fields formed in the shape of a matrix on the surface of one side, The 1st metal layer which was formed through the insulating layer on one front face of a semi-conductor substrate, and was divided into plurality to the 1st slit, The 2nd metal layer which was formed through the insulating layer on the 1st metal layer, and was divided into plurality to the 2nd slit, The opposite substrate which it has a counterelectrode on the surface of one side, and a counterelectrode side has a gap in the 2nd metal layer, and counters, It consisted of liquid crystal with which the gap between a counterelectrode and the 2nd metal layer was filled up, and the light which carried out incidence through the 1st slit and 2nd slit from the opposite substrate side established the semiconductor region linked to a reference potential in the location which reaches a semi-conductor substrate.

[0013] Moreover, corresponding to each of a switching element field, the capacitive element field was established in one front face of a semi-conductor substrate, and the substrate feeder which supplies substrate potential to the substrate potential field of a switching element field and a capacitive element field was formed by either of the metal layers.

[0014] Furthermore, the video-signal line which supplies a video signal to the video-signal input terminal section of a switching element field was formed by either of the metal layers, and the substrate feeder and the video-signal line have been mutually arranged to parallel.

[0015]

[Function] Since a metal layer reflects the light irradiated, the light which carries out incidence to one front face of a semi-conductor substrate is weakened, and the photocurrent which flows to a switching element field can be reduced substantially.

[0016] The photocurrent which light was irradiated by the semiconductor region linked to a reference potential, and was generated flows in the wiring section by the side of a reference potential, is consumed, and does not affect a switching element field.

[0017] By forming a substrate feeder and a video-signal line in a metal layer, and arranging both wiring to parallel mutually, the impedance of these wiring is reduced and the writing of the video signal to each pixel is made to a high speed.

[0018] Since the switching element of a liquid crystal light valve cannot be influenced of exposure light but can increase the number of pixels by improvement in the speed of video-signal drawing speed, the

projection mold display which displays the highly minute and bright image of high quality can be offered.  
[0019]

[Example] Drawing 1 shows the circuitry of the liquid crystal light valve used for a projection mold display. This light valve is constituted by the pixel circuit 1, the sample circuit 2, the horizontal scanning circuit 3, the vertical-scanning circuit 4, and the AND gate 5. The pixel circuit 1 consists of MOS transistor 1a, retention volume 1b, and liquid crystal capacity 1c which were prepared in the intersection of two or more 1st signal lines (scan signal line) 11, two or more 2nd signal lines (video-signal line) 12 which intersect this, the 3rd signal line (substrate feeder) 13 prepared next to the 2nd signal line and the 1st signal line, and the 2nd and 3rd signal line. 1 set of MOS transistor 1a, retention volume 1b, and liquid crystal capacity 1c formed one pixel, and has arranged N individual and the pixel in the shape of a matrix to M pieces and a perpendicular direction horizontally as a whole.  $M \times N$  of this number of pixel arrays is  $640 \times 480$  as one example. One electrode of retention volume 1b and one electrode (reflector) of liquid crystal capacity 1c are connected [ the scan signals  $V_{g1} - V_{gN}$  ] to a source electrode for luminance signals  $V_{d1} - V_{dM}$  through the 2nd signal line 12 at a drain electrode again at the gate electrode of this MOS transistor 1a through the 1st signal line 11. Furthermore, the electrode of another side of retention volume 1b is connected to the electrical potential difference VSS which supplies electric power in a substrate electrical potential difference through the 3rd signal line 13. Liquid crystal capacity 1c is the equivalent capacity of the liquid crystal device which is filled up with liquid crystal between the opposite substrates which counter with the substrate and this in which the pixel circuit 1 was formed, and are formed, and is formed in it.

[0020] The horizontal scanning circuit 3 inputs a clock signal CLK and start signal STA, and outputs the polyphase signals PH1-PHM of an M phase. The sample circuit 2 is constituted from an MOS switch, and the gate electrode of an MOS switch connects PHM and the drain electrode of an MOS switch with the video signals [  $V_I / V_I$  and  $/ 2$  ] 1 with which polarities differ from an output signal PH 1, and it outputs  $V_{dM}$  to the source electrode of an MOS switch from a luminance signal  $V_{d1}$ .

[0021] The vertical-scanning circuit 4 inputs a clock signal CKV and start signal FST, and is outputting the polyphase signals PV1-PVN of N phase. The AND gate 5 inputs the polyphase signals PV1-PVN and a control signal CNT, and outputs the scan signals  $V_{g1} - V_{gN}$ .

[0022] The horizontal scanning circuit 3 and the sample circuit 2 are the protection-from-light layers 6, and the vertical-scanning circuit 4 and the AND gate 5 were covered in the protection-from-light layer 7, respectively, and they have connected the protection-from-light layers 6 and 7 to the electrical potential difference COM of said counterelectrode.

[0023] It explains using the timing chart which shows actuation of the liquid crystal light valve constituted as mentioned above to drawing 2. Start signal FST of the vertical-scanning circuit 4 shows the frame head of the image to display, and the clock signal CKV shows the change timing of the scanning line. The vertical-scanning circuit 7 incorporates start signal FST to the timing of the standup of said clock signal CKV, and outputs the polyphase signals PV1-PVN. The AND gate 5 inputs the polyphase signals PV1-PVN and a control signal CNT, and outputs the scan signals  $V_{g1} - V_{gN}$  of a pixel circuit. Here, it is making CNT into "H", and the scan signals  $V_{g1} - V_{gN}$  are carried out [ signals / PV1-PVN / polyphase ] at the time of sequential scanning scanned for every line, and it is making perpendicularly sequential selection of the pixel circuit 1 arranged in the shape of a matrix.

[0024] On the other hand, in the two-line simultaneous scan scanned every two lines, the double clock of a two-piece pulse train is used for a clock signal CKV. He sets only this double clock period to "L", and is trying for a control signal CNT to intercept a polyphase signal for it. Combination differed [ the polyphase signal ] at the double clock period only for a moment, and since the electrical potential difference written in retention volume at this time is changed, this has prevented this fluctuation with the control signal CNT.

[0025] Video signals  $V_{I1}$  and  $V_{I2}$  are signals which change on the basis of the electrical potential difference COM of a counterelectrode, and have reversed the polarity for every frame further by the opposite phase mutually.



[0026] Start signal STA of the horizontal scanning circuit 3 shows the head of the scanning line. The horizontal scanning circuit 3 incorporates start signal STA to the timing of the standup of a clock signal CLK like the vertical-scanning circuit 4, and outputs the polyphase signals PH1-PHM.

[0027] The sample circuit 2 samples video signals VI1 and VI2 in order to the timing of the phase signals PH1-PHM, and outputs luminance signals Vd1-VdM.

[0028] Luminance signals Vd1-VdM are inputted into the pixel circuit 1 arranged in the shape of a matrix for every train. At this time, luminance signals Vd1-VdM are written in and held by retention volume 1b of the pixel circuit of the line chosen since only the MOS transistor of the pixel circuit 1 chosen by the scan signals Vg1-VgN was an ON state. Since the electrical potential difference held to retention volume 1b is impressed to liquid crystal, a liquid crystal light valve can display the image according to video signals VI1 and VI2.

[0029] Here, the charging current of retention volume 1b flows for the substrate feed terminal VSS through MOS transistor 1a of the MOS switch of a sample circuit, the 2nd signal line 12, and a pixel circuit, retention volume 1b, and the 3rd signal line 13 from a video signal VI 1. In order to make the charging time at this time quick, it is effective to make small the series resistance in the above-mentioned charge path, an inductance, and parasitic capacitance of wiring.

[0030] The charge rate to retention volume 1b is explained to a detail. The electrical potential difference held to retention volume 1b changes with the cross talk noise by the scan signal and the luminance signal, the OFF state current of an MOS transistor, the leakage current by resistance of liquid crystal, etc. For this reason, a flicker arises in the image displayed that the hold time becomes long. Usually, in order to prevent this flicker, the period of start signal FST is set as  $1 / 60$  seconds. At this time, the sampling time  $T_s$  of the sample circuit 2 is shown by the outline degree type, when M and the vertical number of pixels are set to N for the horizontal number of pixels.

[0031]

[Equation 1]

$$T_s = 1 / (M \times N \times 60) \text{ — (several 1)}$$

This formula shows becoming short with about 50ns by 300,000 pixels required of a projection mold display to the sampling time being about 400ns in 40,000 pixels of the conventional number of pixels.

[0032] In the conventional liquid crystal display using an MOS transistor, the 3rd signal line 13 was not formed specially, but it had become the structure using a silicon substrate or a diffusion layer as a current path. However, if a diffused resistor is also set to hundreds of ohms and the sheet resistance of this part sets the pitch of the pixel circuit of the liquid crystal light valve for a projection mold display to about 60 micrometers, resistance of a substrate feeder will become more than number 100kohm. For this reason, high-speed writing was impossible in the conventional substrate feeder. On the other hand, in this invention, a metal wiring layer is used for this substrate feeder (the 3rd signal line), and resistance of a substrate feeder is reduced to several 100 ohms so that it may mention later.

[0033] Below, the scanning circuit which constitutes a liquid crystal light valve, and its actuation are explained. Drawing 3 shows the level of a liquid crystal light valve, and the configuration of a vertical-scanning circuit. This circuit consists of a D type flip-flop FF, an inverter INV, and a level-conversion circuit LS. These circuits constitute the shift register from M steps and a vertical-scanning circuit connecting [ a horizontal scanning circuit ] those with N stage, and FF to a serial. The level-conversion circuit LS was constituted from two NMOS transistors (MN1, MN2) which connected the source with two PMOS transistors (MP1, MP2) which connected the source to VDD at VSS, and the output of Flip-flop FF was made into the opposite phase with Inverter INV, and it has connected it to the gate of MP2 while connecting with the gate of MP1. The gate of MN1 and MN2 is connected also to the drain of MN1 and MP1 while connecting mutually. Furthermore, the drain of MN2 and MP2 is connected mutually, and this point is considered as the output PH of a scanning circuit (PV). By this configuration, when the output of FF is "H" (VDD), MP1 and MN2 serve as OFF, MP2 serves as ON, and an output PH (PV) serves as VDD. On the other hand, when the output of FF is "L" (GND), it becomes off [ MP1 and MN2 / ON and MP2 ], and an output PH (PV) serves as VSS. Thus, the level-conversion circuit LS has



changed the signal of 0-VDD into the signal of VSS-VDD.

[0034] Here, the level-conversion circuit LS consists of high proof-pressure CMOS transistors which operate with the power source of VDD(+5V)-VSS (-15V), and FF and INV consist of low proof-pressure CMOS transistors which operate with the power source of VDD(+5V)-0.

[0035] Next, the device structure of the liquid crystal light valve of this invention is explained to a detail.

[0036] Drawing 4 is the sectional view of the 1st example of this invention. The 1st substrate 100 with which the liquid crystal light valve formed in one front face of a single-crystal-silicon plate the pixel circuit 1 which consists of retention volume 1b, reflectors, etc. which consisted of MOS transistor 1a which consisted of NMOS transistors of an enhancement type, and MOS capacity. It is filled up with liquid crystal 200 between the 2nd substrate 300 in which the counterelectrode 302 which consists of transparence electrical conducting materials, such as ITO (Indium-tin-oxide), was formed on one front face of the opposite substrate 301 which consists of transparent ingredients, such as glass. The sample circuit 2 shown in drawing 1, the horizontal scanning circuit 3, the vertical-scanning circuit 4, and the AND gate 5 as well as the pixel circuit 1 are formed in the 1st substrate front face.

[0037] The single-crystal-silicon plate 111 with which the 1st substrate 100 formed in one front-face side the field used as one electrode of source field [ which constitutes MOS transistor 1a ], drain field, and retention volume 1b. The polish recon layer 120 selectively formed on the single-crystal-silicon plate 111. The 1st insulating layer 130 formed on the polish recon layer 120, and the 1st metal layer 140 which is formed on the 1st insulating layer 130, penetrates the 1st insulating layer 130, and contacts single-crystal-silicon plate 111 front face and the polish recon layer 120. It consists of the 2nd metal layer 160 formed on the 2nd insulating layer 150 formed on the 1st metal layer, and the 2nd insulating layer. The 1st metal layer 140 and the 2nd metal layer 160 are formed of aluminum.

[0038] The n-type-semiconductor layer 111 which the single-crystal-silicon plate 111 has the front face of a couple, and adjoins on the surface of one side, The p type semiconductor layer 112 which adjoins the front face and the n-type-semiconductor layer 111 of another side, Two or more pairs of n<sup>+</sup> formed so that it might extend in the p type semiconductor layer 112 from the front face of another side. A field 113 and n<sup>+</sup> It consists of two or more n fields 114 formed so that it might extend in the p type semiconductor layer 112 from the front face of another side in the part distant from the field 113. Two or more pairs of n<sup>+</sup> The field 113 is established in the part (an alternate long and short dash line shows) which serves as a source field and a drain field of MOS transistor 1a, respectively, and serves as each unit pixel as shown in drawing 5 the couple every. Moreover, two or more n fields 114 are established in the part which serves as one electrode of retention volume 1b, and serves as each unit pixel the piece every.

[0039] The polish recon layer 120 is selectively formed through the silicon oxide layer 115 on one front face of the single-crystal-silicon plate 111. Specifically, it is n<sup>+</sup> of a couple. It is formed on the p type semiconductor layer 112 exposed between fields 113 on the n field 114 and the p type semiconductor layer 112 of the near, and has the part 123 which constitutes a part of gate electrode of MOS transistor 1a, and 1st signal line (scan signal line), and the part 124 used as the electrode of another side of retention volume 1b. Retention volume 1b is constituted by the silicon oxide layer 115 which intervened between the n field 114, the polish recon layer 124, and these.

[0040] The 1st metal layer 140 formed on the 1st insulating layer 130 is divided into plurality by the slit 144, and constitutes the wiring 141 which connects MOS transistor 1a and retention volume 1b, the 2nd signal line 142, and the 3rd signal line 143. Wiring 141 penetrates the contact hole 131 established in the 1st insulating layer 130, and is n<sup>+</sup> of a couple. In the polish recon layer 124, the 2nd signal line 142 penetrates the contact hole 131 prepared at the 1st insulating layer 130 by on the other hand a field 113 reaching, and it is n<sup>+</sup> of a couple. It is in contact with another side of a field 113, respectively. Moreover, the 2nd signal line 142 penetrates the contact hole 131 established in the 1st insulating layer 130, and is in contact also with the p type semiconductor layer 112.

[0041] The 2nd metal layer 160 serves as a reflector, has the shape of each unit pixel and abbreviation isomorphism, and constitutes two or more pixel electrodes 161 separated by the slit 162 for every pixel.

Although not indicated in drawing, the pixel electrode 161 is in contact with wiring 141 through the through hole 151 established in the 2nd insulating layer 150 (refer to drawing 7 ). Therefore,  $n^+$  of an MOS transistor A contact hole 131 and a through hole 151 connect with the pixel electrode 161 through wiring 141 on the other hand (source field) (refer to drawing 7 ), and the electrical potential difference of a field 113 given to the pixel electrode 161 is switched by MOS transistor 1a.

[0042] Here, in order to reduce the irregularity of protection from light of MOS transistor 1a to the light irradiated by the liquid crystal light valve from the opposite substrate 300 side, and the front face of a pixel electrode, wiring 141 and the pixel electrode 161 are arranged so that both spacing of patterns may be made into min and the area may become large as much as possible. That is, the quantity of light which makes area of the 1st metal layer 140 and the slit between the pixel electrodes 161 as small as possible, and carries out incidence from these slits is lessened, and the protection-from-light effectiveness is improved. Moreover, the irregularity of the front face of the pixel electrode 161 which becomes both both making small irregularity on the 1st front face of an insulating layer formed of spreading etc. on it and irregularity of the 2nd metal layer front face further formed on it with a reflector is reduced by making small width of face of the slit 144 prepared in the 1st metal layer 140. Thereby, scattered reflection of the light irradiated by the liquid crystal light valve from the light source is not carried out with the pixel electrode 161, but since it is used effectively and projected by the screen, it can form a bright image.

[0043] The 1-pixel field is shown all over drawing. In this example, the horizontal direction and the perpendicular direction make magnitude of each pixel 64 micrometers of each using the 2-micrometer high proof-pressure process.

[0044] Drawing 5 and drawing 6 show the planar structure of the various patterns formed in the 1st substrate 100. Drawing 5 shows the flat-surface pattern of diffusion layers, such as the diffusion layer 113 of the MOS transistor formed in the front face of a silicon substrate 110, and the diffusion layer 114 of retention volume, and the polish recon layer 120 formed on it. moreover — drawing 6 — drawing 5 — a pattern — a top — the — one — an insulating layer — 130 — and — the — two — an insulating layer — 150 — minding — forming — having had — the — one — a metal — a layer — 140 — and — the — two — a metal — a layer — 160 — a flat surface — a pattern — each — a metal — a layer — electric — connecting — a sake — the — one — an insulating layer — 130 — and — the — two — an insulating layer — 150 — forming — having had — a contact hole (CONT) — 131 — a through hole — (— TC —) — 151 — a layout — a pattern — be shown . A contact hole 131 connects a diffusion layer or a polish recon layer, and the 1st metal layer, and a through hole 151 connects the 1st metal layer and the 2nd metal layer, respectively. Above-mentioned drawing 4 shows the cross section which met the IV-IV line shown in drawing 5 .

[0045] Two or more pixel electrodes (reflector) 161 of each other with which the wiring 141 formed in the 1st metal layer, the 2nd signal line 142, and the 3rd signal line 143 are formed in the 2nd metal layer of a slit 144 again are separated by the slit 162 formed in this layer.

[0046] The 1st signal line connects the polish recon layer 123 of an MOS transistor mutually by the metal layer 145 of the 1st signal line formed in the 1st metal layer, and is formed. Both connection is made through the contact hole 131 formed in the 1st insulator layer.

[0047] The liquid crystal light valve of this invention is a reflective mold which reflects a powerful light irradiated from the opposite substrate 300 side with the pixel electrode 161, and is controlling the strength of this reflected light by the condition of liquid crystal 200. For example, if polymer distributed liquid crystal is used for liquid crystal 200, liquid crystal 200 will change with the electrical potential differences of the pixel electrode 161 from a dispersion condition to a transparence condition. For this reason, the reflection factor of each pixel is high when liquid crystal 200 is in a transparence condition, and it becomes low in a dispersion condition. This light valve shows the image by controlling the condition of this liquid crystal by the electrical potential difference of the pixel electrode 161.

[0048] Next, the protection from light to exposure light is explained. If light is irradiated by the pn junction section of a semi-conductor, a photocurrent will occur. It is the source polar zone of the

diffusion layer 113 of an MOS transistor that this photocurrent poses a problem. If a photocurrent flows to this source polar zone, the electrical potential difference written in retention volume 1b will change, and a predetermined display image will no longer be obtained. For this reason, the light to the diffusion layer 113 of MOS transistor 1a is shaded in the 1st metal layer 140 and the 2nd metal layer 160. Especially the light that passes the inter-electrode slit 162 of the pixel electrode 161 as shown in drawing 4 and drawing 6 takes the wiring width of face of the 3rd signal line 143 sufficiently larger than an inter-electrode tooth space, and is shading by arranging this directly under an inter-electrode tooth space.

[0049] Drawing 7 is the VII-VII cross-section structure in drawing 5 and drawing 6, and looks at the source polar zone of MOS transistor 1a perpendicularly. The light which passes the inter-electrode slit 162 of the pixel electrode 161 is shading by arranging so that the pixel electrode 161 and the corresponding wiring 141 may be made to protrude into the bottom of a slit 162.

[0050] Drawing 8 is the VIII-VIII cross-section structure in drawing 5 and drawing 6, and shows the slit section of the 1st metal layer 140. It is not shaded by this field by the 1st above-mentioned metal layer 140 and the 2nd metal layer 160, either, but the part in which the slit 144 formed in the 1st metal layer and the slit 162 formed in the 2nd metal layer are passed, and direct light is irradiated by the front face of a silicon substrate 110 is contained. This direct light passes along the slit between each pattern of wiring 141, the 2nd signal line 142, and the 3rd signal line 143, and is irradiated by the n<sup>+</sup> layer 116 under it. The connection between the diffusion layer 114 of retention volume and the 3rd signal line 143 is n<sup>+</sup> [in order to secure ohmic contact]. It is carried out through a layer 116. Exposure light is n<sup>+</sup>. It is changed into a photocurrent in the pn junction section of a layer 116 and the well layer 112 of p mold. As mentioned above, this p type of the well layer 112 and n<sup>+</sup> Since both the layers 116 are connected to the 3rd signal line (substrate feeder) 143 and electric power is supplied by the lowest electrical potential difference (VSS), through p mold well layer, the photocurrent generated in the pn junction section flows, and the 3rd signal line is consumed. Consequently, a photocurrent does not have degradation of image quality, even if it can hold to stability the diffusion layer 113 of an MOS transistor, and the electrical potential difference written in retention volume 1b and a powerful light is irradiated like a projection display, since it does not especially flow in a source field.

[0051] Moreover, using the insulating layer of optical absorption nature for at least one layer in the 1st insulating layer 130 and the 2nd insulating layer 150 can also reduce a photocurrent. Colored polyimide etc. can be used for the insulating layer of this optical absorption nature. Furthermore, the layer which consists of a black ingredient is prepared in the front face and rear face of the aluminum layer which is the 1st metal layer, or the rear face of the aluminum layer which is the 2nd metal layer, and patternizing in the same configuration as each wiring layer can also reduce a photocurrent. Chrome oxide, tantalum oxide, etc. can be used for this black ingredient. Next, the charge rate to retention volume 1b is explained. As mentioned above, the 3rd signal line 143 is connected to the diffusion layer 114 of retention volume, and p mold well layer 112 for the 2nd signal line 142 through the contact hole 131 to the drain field of the diffusion layer 113 of an MOS transistor again, respectively. According to such component structure, the current path when charging retention volume 1b serves as the 2nd signal-line 142 → MOS transistor 1a → retention volume 1b → 3rd signal line 143. The 2nd signal line 142 and 3rd signal line 143 are arranged so that it may be parallel mutually. Therefore, since the current which flows the 2nd signal line and 3rd signal line becomes the reverse sense mutually, the field which both wiring forms outside is negated mutually, and suits, and the inductance of wiring becomes small. Moreover, wiring resistance is reduced by having used the metal wiring layer for the 2nd signal line and 3rd signal line. By the above configurations, the impedance of the wiring section at the time of charge becomes small, and the writing of the video signal to retention volume is made as for it to a high speed.

[0052] Next, other examples of the liquid crystal light valve of this invention are explained using drawing 9 and drawing 10. Differing from the example shown in drawing 4 – drawing 8 is the point of having prepared another protection-from-light layer between the pixel electrodes which make a metal layer a three-tiered structure and turn into wiring 141 and a reflector. However, the pattern of the diffusion

layer of a pixel circuit and a polish recon layer shown in drawing 5 is the same as a front example.

[0053] Drawing 9 is the sectional view of the liquid crystal light valve of this example. In this example, the 2nd metal layer which formed the protection-from-light layer 163 and the bipolar electrode 164 through the 1st insulating layer 150 on the 1st metal layer 140 in which the 2nd signal line 142, the 3rd signal line 143, and wiring 141 were formed was prepared, and the pixel electrode (reflector) 181 is further formed through the 2nd insulating layer 170 on it. The protection-from-light layer 163 and a bipolar electrode 164 are slits 162, and pixel electrodes are mutually separated to the slit 182. the source field of the diffusion layer 113 of an MOS transistor — in a through hole 171, a bipolar electrode 164 and a bipolar electrode 164 are connected with the pixel electrode 181 for wiring 141 and wiring 141 by the through hole 131 by the through hole 151, respectively. The electrical potential difference given to a pixel electrode is switched by MOS transistor 1a.

[0054] Drawing 10 shows the planar structure of each pattern in the 1st metal layer 140, the 2nd metal layer 160, and the 3rd metal layer 180. Drawing 9 is an IX-IX sectional view in drawing 10.

[0055] The light which carries out incidence from the inter-electrode slit 182 of the pixel electrode 181 formed in the 3rd metal layer 180 of the maximum upper layer is thoroughly intercepted in the protection-from-light layer 163 formed in the 2nd metal layer 160 so that drawing 9 and drawing 10 may show. That is, since it shifts and the slit 162 formed in the slit 182 and the 2nd metal layer 160 which were formed in the 3rd metal layer 180 is arranged, without overlapping mutually when it sees from the opposite substrate 300 side, it is reflected in either the 3rd metal layer or the 2nd metal layer, and the light which carried out incidence from the 2nd substrate 300 side does not reach a silicon substrate 110.

[0056] As mentioned above, at this example, the light which carries out incidence from a 2nd substrate side was intercepted in the 2nd metal layer and the 3rd metal layer which were prepared in the upper layer of the 1st substrate. What is necessary is to be able to shift so that there may be nothing about the slit section formed in each of the 1st metal layer, the 2nd metal layer, and the 3rd metal layer overlapping mutually, and just to arrange, in order to prevent that incident light reaches a silicon substrate.

[0057] Moreover, in the configuration of drawing 9 and drawing 10, using the insulating layer of optical absorption nature for at least one layer in the 1st insulating layer 130, the 2nd insulating layer 150, and the 3rd insulating layer 170 can also reduce a photocurrent. Colored polyimide etc. can be used for the insulating layer of this optical absorption nature. Furthermore, the layer of a black ingredient is prepared in the rear face of at least one layer or front face of the 1st metal layer 140, the 2nd metal layer 160, and the 3rd metal layer 180, and patternizing in the same configuration as each metal layer can also reduce a photocurrent. Chrome oxide, tantalum oxide, etc. can be used for this black ingredient.

[0058] Next, mounting of the liquid crystal light valve of this invention is explained. Drawing 11 and drawing 12 show an example of the planar structure of a liquid crystal light valve, and cross-section structure mounted on the ceramic substrate.

[0059] The 1st substrate 100 in which the pixel circuit, the horizontal scanning circuit, the vertical-scanning circuit, etc. were formed on the front face of the above-mentioned single crystal silicon substrate turns the circuit section up, and pastes it up on a ceramic substrate 500 with a conductive paste. Liquid crystal 200 is pinched between the 1st substrate 100 and the 2nd substrate 300 which countered with this and was formed. The seal of the liquid crystal 200 is carried out by the sealant 510 prepared in the periphery, and it is protected from the humidity of the external world etc.

[0060] The signal terminal prepared in the periphery of the 1st substrate is connected with the circuit pattern formed on the ceramic substrate by wire bonding. Moreover, the conductive paste 530 is used for connection between the counterelectrode 302 prepared in the front face of the 2nd substrate 300, and the circuit pattern on a ceramic substrate. The wire bonding location on the 1st substrate is made into the upper edge part and the left part section of this substrate as shown in drawing 11, and the contact location with the counterelectrode on the 2nd front face of a substrate is made into the right-hand-side section. Distance of each substrate and the wire bonding section can be made small by making a wire bonding location into two or less sides.

[0061] Solder 540 connects with the circuit pattern of a ceramic substrate 500, and a flexible printed circuit board 550 supplies the control signal of a liquid crystal light valve with it.

[0062] Drawing 13 shows the configuration of the projection mold display which applied the liquid crystal light valve of this invention. This projection mold display consists of the light source 700, the 1st lens 710, a mirror 720, the 2nd lens 730, a liquid crystal light valve 740, a projector lens 750, and a screen 760. The light from the light source 700 is condensed by the location of a mirror 720 with the 1st lens 710. This light is made into parallel light with the 1st lens 730, and is irradiated by the liquid crystal light valve 740. In a liquid crystal light valve, it controls by the electrical potential difference which impresses the reflective condition of the irradiated light to each liquid crystal pixel, amplification projection of the reflected light from a liquid crystal light valve is carried out through the 1st lens 730 and projector lens 750 at a screen 760, and an image is formed.

[0063] Moreover, the flux of light from the light source can be decomposed into the three flux of lights of light in three primary colors, a liquid crystal light valve can be prepared to each flux of light, and the projection mold display of color display can be obtained by compounding again and carrying out amplification projection of the reflected light from three liquid crystal light valves. Decomposition to the three primary colors of light and composition of the reflected light from three liquid crystal light valves can be simultaneously performed using a dichroic mirror.

[0064] As mentioned above, although the liquid crystal light valve using a single crystal silicon substrate and the projection mold display using this were explained, it cannot be overemphasized that it is possible even if this invention uses the substrate and compound semiconductor substrate which formed the semi-conductor layer on the insulating substrate instead of. [ a single crystal silicon substrate ]

[0065]

[Effect of the Invention] In the projection mold display using the liquid crystal light valve and it using semi-conductor substrates, such as silicon which formed active elements, such as an MOS transistor, according to this invention The semi-conductor front face of the pixel circuit section is shaded in two or more protection-from-light layers, such as a signal line, a pixel electrode, etc. by the metal wiring layer. Since the light which furthermore cannot shade with a signal line, a pixel electrode, etc. by the metal wiring layer has been arranged so that the diffusion layer of the semi-conductor substrate linked to a reference potential may irradiate, the photocurrent which flows to the active element of the pixel circuit section can be reduced substantially. Furthermore, since metal wiring was used for the signal line and substrate feeder which supply a video signal to each pixel and these have been mutually arranged to parallel, the impedance of a signal line can be reduced and the writing of the signal to a pixel is made to a high speed. A liquid crystal light valve applicable to a high definition projection mold display by whenever [ luminosity ] and the projection mold display using this are realizable these results.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

**[Brief Description of the Drawings]**

**[Drawing 1]** It is drawing showing the circuitry of a liquid crystal light valve.

**[Drawing 2]** It is the timing chart which shows actuation of a liquid crystal light valve.

**[Drawing 3]** It is drawing showing the detail circuit of the scanning circuit which constitutes a liquid crystal light valve.

**[Drawing 4]** It is a sectional view ( drawing 5 , IV-IV sectional view of drawing 6 ) in one example of the liquid crystal light valve of this invention.

**[Drawing 5]** It is the layout pattern of the diffusion layer of the pixel circuit in one example of the liquid crystal light valve of this invention, and a polish recon layer.

**[Drawing 6]** It is the layout pattern of the 1st metal layer of the pixel circuit in one example of the liquid crystal light valve of this invention, and the 2nd metal layer.

**[Drawing 7]** They are drawing 5 and the VII-VII sectional view of drawing 6 .

**[Drawing 8]** They are drawing 5 and the VIII-VIII sectional view of drawing 6 .

**[Drawing 9]** It is a sectional view (IX-IX sectional view of drawing 10 ) in other examples of the liquid crystal light valve of this invention.

**[Drawing 10]** It is the layout pattern of the 1st metal layer of the pixel circuit in other examples of the liquid crystal light valve of this invention, the 2nd metal layer, and the 3rd metal layer.

**[Drawing 11]** It is drawing showing the planar structure of the liquid crystal light valve mounted on the ceramic substrate.

**[Drawing 12]** It is drawing showing the cross-section structure of the liquid crystal light valve mounted on the ceramic substrate.

**[Drawing 13]** It is drawing showing the configuration of the projection mold display which applied the liquid crystal light valve.

**[Description of Notations]**

1 [ — Liquid crystal capacity, ] — A pixel circuit, 1a — An MOS transistor, 1b — Retention volume, 1c  
2 [ — AND gate, ] — A sample circuit, 3 — A horizontal scanning circuit, 4 — A vertical-scanning  
circuit, 5 6 7 [ — Polish recon layer, ] — A protection-from-light layer, 100 — The 1st substrate, 110 —  
— A silicon substrate, 120 130 [ — The 2nd metal layer, 170 / — The 3rd insulating layer, 180 / — The  
3rd metal layer, 200 / — Liquid crystal, 300 / — The 2nd substrate. ] — The 1st insulating layer, 140 —  
— The 1st metal layer, 150 — The 2nd insulating layer, 160

---

[Translation done.]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-194690

(43)公開日 平成6年(1994)7月15日

(51)Int.Cl.<sup>5</sup>G 0 2 F 1/136  
1/13  
1/1345

識別記号

5 0 0  
5 0 5

庁内整理番号

9018-2K  
9017-2K  
8707-2K

F I

技術表示箇所

審査請求 未請求 請求項の数15(全 12 頁)

(21)出願番号 特願平5-252783

(22)出願日 平成5年(1993)10月8日

(31)優先権主張番号 特願平4-269961

(32)優先日 平4(1992)10月8日

(33)優先権主張国 日本(JP)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233158

日立プロセスコンピュータエンジニアリ  
ング株式会社

茨城県日立市大みか町5丁目2番1号

(72)発明者 佐藤 秀夫

茨城県日立市大みか町七丁目1番1号 株  
式会社日立製作所日立研究所内

(74)代理人 弁理士 小川 勝男

最終頁に続く

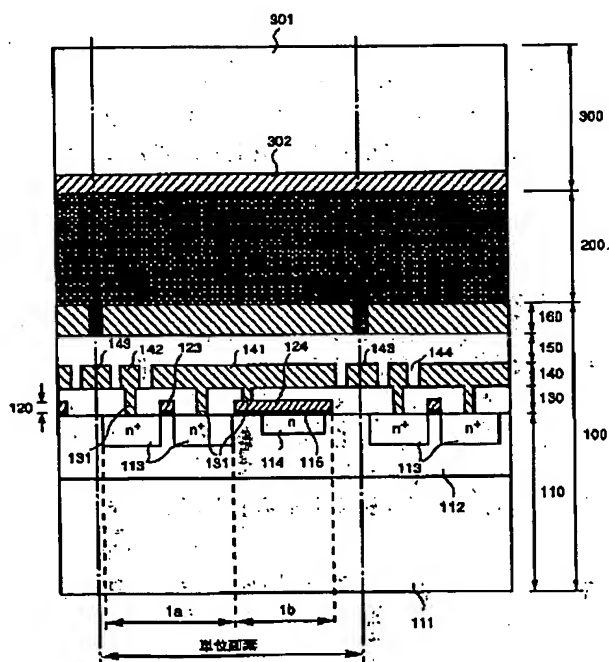
(54)【発明の名称】 液晶ライトバルブ及びそれを用いた投射型ディスプレイ

(57)【要約】

【目的】半導体基板を用いた耐光性に優れ、高速の映像信号書き込みが可能な液晶ライトバルブを提供、高精細で高品質の画像が表示可能な投射型ディスプレイを提供すること。

【構成】スイッチング素子領域を有する半導体基板上にスリットで分割された金属層を3層設け、各層のスリットを半導体基板と平行な方向にずらして配置し、半導体基板を遮光した。半導体基板上にスリットで分割された金属層を2層設け、スリットからの入射光が半導体基板に達する場所に基準電位の半導体領域を設けた。スイッチング素子領域の基板電位領域及び保持容量領域に基板電位を供給する基板給電線を前記金属層のいずれかで形成した。前記基板給電線と映像信号線を互いに平行に配置した。

図 4





(2)

## 【特許請求の範囲】

【請求項1】一方の表面にマトリクス状に形成された複数のスイッチング素子領域を有する半導体基板と、前記半導体基板の一方の表面上に絶縁層を介して形成され、第1のスリットで複数個に分割された第1の金属層と、

前記第1の金属層上に絶縁層を介して形成され、第2のスリットで複数個に分割された第2の金属層と、前記第2の金属層上に絶縁層を介して形成され、第3のスリットで複数個に分割された第3の金属層と、一方の表面に対向電極を有し、前記対向電極側が前記第3の金属層に間隙を有して対向する対向基板と、前記対向電極と第3の金属層との間の間隙に充填された液晶とからなり、

前記第1のスリット、第2のスリット及び第3のスリットは前記対向基板側から入射した光が半導体基板に達するのを防止するために半導体基板の一方の表面と平行な方向に互いにずれて配置されている液晶ライトバルブ。

【請求項2】一方の表面にマトリクス状に形成された複数のスイッチング素子領域を有する半導体基板と、前記半導体基板の一方の表面上に絶縁層を介して形成され、第1のスリットで複数個に分割された第1の金属層と、

前記第1の金属層上に絶縁層を介して形成され、第2のスリットで複数個に分割された第2の金属層と、一方の表面に対向電極を有し、前記対向電極側が前記第2の金属層に間隙を有して対向する対向基板と、前記対向電極と第2の金属層との間の間隙に充填された液晶とからなり、

前記対向基板側から第1のスリット及び第2のスリットを通して入射した光が半導体基板に達する場所に基準電位に接続した半導体領域を設けた液晶ライトバルブ。

【請求項3】特許請求の範囲第1項または第2項において、前記半導体基板の一方の表面に前記スイッチング素子領域の各々に対応して容量素子領域を設け、前記スイッチング素子領域の基板電位領域および前記容量素子領域に基板電位を供給する基板給電線を前記金属層のいずれかで形成した液晶ライトバルブ。

【請求項4】特許請求の範囲第3項において、前記スイッチング素子領域の映像信号入力端子部に映像信号を供給する映像信号線を前記金属層のいずれかで形成し、前記基板給電線と映像信号線を互いに平行に配置した液晶ライトバルブ。

【請求項5】特許請求の範囲第3項において、前記スイッチング素子領域にMOSトランジスタ、前記容量素子領域にMOS容量を形成した液晶ライトバルブ。

【請求項6】特許請求の範囲第1項または第2項において、前記第1の金属層、第2の金属層または第3の金属層の少なくとも一方の面に黒色層を設けた液晶ライトバルブ。

2

【請求項7】特許請求の範囲第2項において、前記対向基板側から第1のスリット及び第2のスリットを通して入射した光が半導体基板に達する場所にN型領域及びこれと接するP型領域を設け、前記N型領域とP型領域を共に基準電位に接続した液晶ライトバルブ。

【請求項8】特許請求の範囲第1項または第2項において、前記半導体基板の一方の表面に前記複数個のスイッチング素子領域に信号を供給する信号回路の領域を設けた液晶ライトバルブ。

10 【請求項9】特許請求の範囲第8項において、前記信号回路は、前記複数個のスイッチング素子領域に映像信号を供給する回路及びスイッチング素子の制御信号を供給する回路である液晶ライトバルブ。

【請求項10】特許請求の範囲第8項において、前記信号回路は高耐圧CMOSトランジスタと低耐圧CMOSトランジスタで構成される液晶ライトバルブ。

20 【請求項11】特許請求の範囲第8項において、前記半導体基板の一方の表面で、前記信号回路の領域の周辺部に基板電位に接続した基板給電領域を設けた液晶ライトバルブ。

【請求項12】一方の表面にマトリクス状に形成された複数のスイッチング素子領域を有する半導体基板と、前記半導体基板の一方の表面上に絶縁層を介して形成され、第1のスリットで複数個に分割された第1の金属層と、

前記第1の金属層上に絶縁層を介して形成され、第2のスリットで複数個に分割された第2の金属層と、前記第2の金属層上に絶縁層を介して形成され、第3のスリットで複数個に分割された第3の金属層と、一方の表面に対向電極を有し、前記対向電極側が前記第3の金属層に間隙を有して対向する対向基板と、前記対向電極と第3の金属層との間の間隙に充填された液晶とからなり、

前記第1のスリット、第2のスリット及び第3のスリットは前記対向基板側から入射した光が半導体基板に達するのを防止するために半導体基板の一方の表面と平行な方向にずれて配置された液晶ライトバルブと、前記液晶ライトバルブに前記対向基板側から照射される光を供給する光源と、

40 前記液晶ライトバルブからの反射光を拡大投射する光学系とを備えた投射型ディスプレイ。

【請求項13】一方の表面にマトリクス状に形成された複数のスイッチング素子領域を有する半導体基板と、前記半導体基板の一方の表面上に絶縁層を介して形成され、第1のスリットで複数個に分割された第1の金属層と、

前記第1の金属層上に絶縁層を介して形成され、第2のスリットで複数個に分割された第2の金属層と、一方の表面に対向電極を有し、前記対向電極側が前記第2の金属層に間隙を有して対向する対向基板と、

50

(3)

3

前記対向電極と第2の金属層との間の間隙に充填された液晶とからなり、

前記対向基板側から第1のスリット及び第2のスリットを通して入射した光が半導体基板に達する場所に基準電位に接続した半導体領域を設けた液晶ライトバルブと、前記液晶ライトバルブに前記対向基板側から照射される光を供給する光源と、前記液晶ライトバルブからの反射光を拡大投射する光学系とを備えた投射型ディスプレイ。

【請求項14】特許請求の範囲第12項または第13項において、前記半導体基板の一方の表面に前記スイッチング素子領域の各々に対応して容量素子領域を設け、前記スイッチング素子領域の基板電位領域および前記容量素子領域に基板電位を供給する基板給電線を前記金属層のいずれかで形成した投射型ディスプレイ。

【請求項15】特許請求の範囲第12項または第13項において、前記半導体基板の一方の表面に前記複数個のスイッチング素子領域に信号を供給する信号回路の領域を設けた投射型ディスプレイ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電圧の振幅値で光の強さを制御する液晶ディスプレイに係り、特に投射型ディスプレイに好適な液晶ライトバルブ及びそれを用いた投射型ディスプレイに関する。

【0002】

【従来の技術】スイッチング素子と液晶を積層して光を制御するアクティブ・マトリクス方式による液晶ディスプレイにおいて、スイッチング素子として単結晶シリコン基板に形成したMOS (Metal Oxide Semiconductor) トランジスタを用いた液晶ディスプレイは、USP3,862,360及び、電子通信学会技術報告(1980)のIE80-81に記載されている。

【0003】MOSトランジスタに光が照射されると、MOSトランジスタのソースとドレインを形成するPN接合部に光電流が発生する。この光電流は表示部の液晶画素に書き込まれた映像信号を変化させ、表示すべき所定の画像を表示することができなくなってしまう。従って、単結晶シリコン基板に形成したMOSトランジスタを用いた液晶ディスプレイでは、表示画面に影響がないよう光電流を低減する必要がある。上記従来のディスプレイは、いずれもスイッチング素子で制御した画像を直接み方式であり、通常、室内で使用される。このため、ディスプレイパネル表面の照度が数万ルクスの光の影響を防止するだけで十分であった。

【0004】この光電流を低減するため、上記電子通信学会技術報告では、MOSトランジスタのソース領域を光の入射領域からできるだけ遠ざける配置にする、MOSトランジスタを形成するシリコン基板面を配線層2層で覆う、ストップ拡散層を設け、発生したキャリアを再、

4

結合させるなどの方法が取られていた。

【0005】また、上記ディスプレイの表示サイズは、シリコンウェハの制約などから約2インチと小さいため、このようなディスプレイの画素数は、この表示サイズと認識できる解像度の点から4万程度であった。

【0006】

【発明が解決しようとする課題】上述したように、単結晶シリコン基板に形成したMOSトランジスタを用いた液晶ディスプレイは、直視型に限られていた。

【0007】一方、投射型ディスプレイでは、スイッチング素子と液晶を積層したパネルを液晶ライトバルブと称し、このライトバルブで制御した画像をスクリーンに拡大投影する。このため、ライトバルブに照射する光は、スクリーンに拡大する分だけ強くなり、その明るさは数百万ルクスにもなる。さらに、ライトバルブで制御する画素は拡大され画像が粗くなるため、ライトバルブの画素数は30万以上が要求される。

【0008】このように、投射型ディスプレイでは、シリコンなどの半導体基板に形成したトランジスタを用いる液晶ライトバルブを用いた場合、液晶ライトバルブの耐光性を高めることと、画素数の増加によって各画素により高速で映像信号を書き込むことが要求される。

【0009】本発明はこのような現状を鑑みてなされたものであり、その目的は、シリコンなどの半導体基板を用い、強力な照射光の影響を受けず耐光性に優れた液晶ライトバルブを提供すること、高速で映像信号を書き込むことが可能な液晶ライトバルブを提供すること、さらにこのような液晶ライトバルブを用いて高精細で明るい、高品質の画像を表示する投射型ディスプレイを提供することにある。

【0010】

【課題を解決するための手段】上記目的を達成するため、本発明では液晶ライトバルブを以下のように構成した。

【0011】一方の表面にマトリクス状に形成された複数個のスイッチング素子領域を有する半導体基板と、半導体基板の一方の表面上に絶縁層を介して形成され、第1のスリットで複数個に分割された第1の金属層と、第1の金属層上に絶縁層を介して形成され、第2のスリットで複数個に分割された第2の金属層と、第2の金属層上に絶縁層を介して形成され、第3のスリットで複数個に分割された第3の金属層と、一方の表面に対向電極を有し、対向電極側が前記第3の金属層に間隙を有して対向する対向基板と、対向電極と第3の金属層との間の間隙に充填された液晶とからなり、対向基板側から入射した光が半導体基板に達するのを防止するよう、第1のスリット、第2のスリット及び第3のスリットを半導体基板の一方の表面と平行な方向に互いにずらして配置した。

【0012】また、一方の表面にマトリクス状に形成さ

(4)

5

れた複数のスイッチング素子領域を有する半導体基板と、半導体基板の一方の表面上に絶縁層を介して形成され、第1のスリットで複数個に分割された第1の金属層と、第1の金属層上に絶縁層を介して形成され、第2のスリットで複数個に分割された第2の金属層と、一方の表面に対向電極を有し、対向電極側が第2の金属層に間隙を有して対向する対向基板と、対向電極と第2の金属層との間の間隙に充填された液晶とからなり、対向基板側から第1のスリット及び第2のスリットを通して入射した光が半導体基板に達する場所に基準電位に接続した半導体領域を設けた。

【0013】また、半導体基板の一方の表面にスイッチング素子領域の各々に対応して容量素子領域を設け、スイッチング素子領域の基板電位領域および容量素子領域に基板電位を供給する基板給電線を金属層のいずれかで形成した。

【0014】さらに、スイッチング素子領域の映像信号入力端子部に映像信号を供給する映像信号線を金属層のいずれかで形成し、基板給電線と映像信号線を互いに平行に配置した。

【0015】

【作用】金属層は照射される光を反射するので、半導体基板の一方の表面に入射する光を弱め、スイッチング素子領域に流れる光電流を大幅に低減できる。

【0016】基準電位に接続した半導体領域に光が照射されて発生した光電流は、基準電位側の配線部に流れて消費され、スイッチング素子領域には影響を及ぼさない。

【0017】基板給電線と映像信号線を金属層で形成し、両配線を互いに平行に配置することにより、これらの配線のインピーダンスが低減され、各画素への映像信号の書き込みを高速にできる。

【0018】液晶ライトバルブのスイッチング素子が照射光の影響を受けず、映像信号書き込み速度の高速化により画素数を増やすことができるので、高精細で明るい、高品質の画像を表示する投射型ディスプレイを提供することができる。

【0019】

【実施例】図1は投射型ディスプレイに用いる液晶ライトバルブの回路構成を示したものである。このライトバルブは、画素回路1、サンプル回路2、水平走査回路3、垂直走査回路4、ANDゲート5によって構成される。画素回路1は、複数の第1の信号線（走査信号線）11、これと交差する複数の第2の信号線（映像信号線）12、第2の信号線の隣に設けた第3の信号線（基板給電線）13及び第1の信号線と第2、第3の信号線の交差部に設けたMOSトランジスタ1a、保持容量1b及び液晶容量1cからなっている。1組のMOSトランジスタ1a、保持容量1b、液晶容量1cは1つの画素を形成し、全体として水平方向にM個、垂直方向にN

6

個、画素をマトリクス状に配列している。この画素配列数のM×Nは1例として640×480である。このMOSトランジスタ1aのゲート電極には第1の信号線11を介して走査信号Vg1～VgNが、ドレイン電極には第2の信号線12を介して輝度信号Vd1～VdMが、またソース電極には保持容量1bの一方の電極及び液晶容量1cの一方の電極（反射電極）が接続される。さらに、保持容量1bの他方の電極は第3の信号線13を介して基板電圧を給電する電圧VSSに接続されている。液晶容量1cは、画素回路1を形成した基板とこれと対向して設けられる対向基板との間に液晶を充填して形成される液晶素子の等価容量である。

【0020】水平走査回路3は、クロック信号CLKとスタート信号STAを入力してM相の多相信号PH1～PHMを出力する。サンプル回路2はMOSスイッチで構成し、MOSスイッチのゲート電極は出力信号PH1からPHMと、MOSスイッチのドレイン電極は極性の異なる映像信号VI1又はVI2と接続して、MOSスイッチのソース電極に輝度信号Vd1からVdMを出力する。

【0021】垂直走査回路4は、クロック信号CKVとスタート信号FSTを入力してN相の多相信号PV1～PVNを出力している。ANDゲート5は、多相信号PV1～PVNと制御信号CNTを入力し、走査信号Vg1～VgNを出力する。

【0022】水平走査回路3とサンプル回路2は遮光層6で、また垂直走査回路4とANDゲート5は遮光層7でそれぞれ覆われ、遮光層6、7を前記対向電極の電圧COMに接続している。

【0023】以上のように構成した液晶ライトバルブの動作を、図2に示すタイミングチャートを用いて説明する。垂直走査回路4のスタート信号FSTは表示する映像のフレーム先頭を示しており、クロック信号CKVは走査線の切り替えタイミングを示している。垂直走査回路7は、前記クロック信号CKVの立ち上がりのタイミングでスタート信号FSTを取り込み、多相信号PV1～PVNを出力する。ANDゲート5は、多相信号PV1～PVNと制御信号CNTを入力して、画素回路の走査信号Vg1～VgNを出力する。ここで、1ライン毎に走査する順次走査の時はCNTを“H”にすることで、走査信号Vg1～VgNを多相信号PV1～PVNと等して、マトリクス状に配置した画素回路1を垂直方向に順次選択している。

【0024】一方、2ライン毎に走査する2ライン同時走査の場合は、クロック信号CKVに2個連続パルスのダブルクロックを使用する。制御信号CNTはこのダブルクロック期間だけ“L”にして多相信号を遮断するようにしている。これは多相信号がダブルクロック期間に一瞬だけ組み合わせが異なり、このとき保持容量に書き込まれた電圧が変動するので制御信号CNTでこの変動

(5)

7

を防止している。

【0025】映像信号V I 1, V I 2は、対向電極の電圧COMを基準に変化する信号であり、その極性は互いに逆相でさらに、フレーム毎に反転している。

【0026】水平走査回路3のスタート信号STAは走査線の先頭を示している。水平走査回路3は、垂直走査回路4と同様にクロック信号CLKの立ち上がりのタイミングでスタート信号STAを取り込み、多相信号PH 1〜PHMを出力する。

【0027】サンプル回路2は、映像信号V I 1, V I 2を相信号PH 1〜PHMのタイミングで順にサンプリングし、輝度信号V d 1〜V d Mを出力する。

【0028】輝度信号V d 1〜V d Mは、マトリクス状に配置された画素回路1に列毎に入力される。このとき、走査信号V g 1〜V g Nで選択された画素回路1のMOSトランジスタだけがオン状態なので選択された行の画素回路の保持容量1 bに輝度信号V d 1〜V d Mが書き込まれ、ホールドされる。保持容量1 bにホールドした電圧は液晶に印加されるので、液晶ライトバルブは映像信号V I 1, V I 2に応じた映像を表示できる。 \* 20

$$T_s = 1 / (M \times N \times 60)$$

この式から、サンプリング時間は、従来の画素数の4万画素では約400nsであるのに対し、投射型ディスプレイに要求される30万画素では約50nsと短くなることが分かる。

【0032】MOSトランジスタを用いた従来の液晶ディスプレイでは、第3の信号線13を特別には設けておらず、シリコン基板または拡散層を電流経路として用いる構造になっていた。しかし、この部分のシート抵抗は拡散抵抗でも数百Ωとなり、投射型ディスプレイ用液晶ライトバルブの画素回路のピッチを約60μmとすると、基板給電線の抵抗は数100kΩ以上となる。このため、従来の基板給電線では高速の書き込みが不可能であった。一方、本発明では後述するように、この基板給電線(第3の信号線)に金属配線層を用いて、基板給電線の抵抗を数100Ωに低減している。

【0033】つぎに、液晶ライトバルブを構成する走査回路と、その動作について説明する。図3は、液晶ライトバルブの水平、垂直走査回路の構成を示すものである。この回路は、Dタイプのフリップ・フロップFF、インバータINV、レベル変換回路LSから構成されている。これらの回路は、水平走査回路がM段、垂直走査回路がN段あり、FFを直列に接続することでシフトレジスタを構成している。レベル変換回路LSは、ソースをVDDに接続した2個のPMOSトランジスタ(MP 1, MP 2)とソースをVSSに接続した2個のNMOSトランジスタ(MN 1, MN 2)で構成し、フリップ・フロップFFの出力はMP 1のゲートに接続するとともに、インバータINVで逆相にしてMP 2のゲートに接続している。MN 1とMN 2のゲートは互いに接続す

8

\* 【0029】ここで、保持容量1 bの充電電流は、映像信号V I 1からサンプル回路のMOSスイッチ、第2の信号線12、画素回路のMOSトランジスタ1 a、保持容量1 b、第3の信号線13を通して基板給電端子VSSに流れる。この時の充電時間を速くするには、上記充電経路に於ける直列抵抗、インダクタンス、配線の寄生容量を小さくすることが効果的である。

【0030】保持容量1 bへの充電速度について詳細に説明する。保持容量1 bにホールドした電圧は、走査信号と輝度信号によるクロストークノイズ、MOSトランジスタのオフ電流、液晶の抵抗によるリーク電流などによって変化する。このため、ホールド時間が長くなると表示した画像にフリッカが生じる。通常、このフリッカを防止するため、スタート信号FSTの周期は1/60秒に設定される。このとき、サンプル回路2のサンプリング時間Tsは、水平方向の画素数をM、垂直方向の画素数をNとすると概略次式で示される。

【0031】

【数1】

… (数1)

るとともに、MN 1とMP 1のドレインにも接続する。さらに、MN 2とMP 2のドレインを互いに接続し、この点を走査回路の出力PH (PV) としている。この構成によって、FFの出力が“H” (VDD) のとき、MP 1とMN 2がオフ、MP 2がオンとなり、出力PH (PV) はVDDとなる。一方、FFの出力が“L” (GND) のとき、MP 1とMN 2はオン、MP 2はオフとなり、出力PH (PV) はVSSとなる。この様にしてレベル変換回路LSは0-VDDの信号をVSS-VDDの信号に変換している。

【0034】ここで、レベル変換回路LSはVDD (+5V) -VSS (-15V) の電源で動作する高耐圧CMOSトランジスタで構成され、FFとINVはVDD (+5V) -0の電源で動作する低耐圧CMOSトランジスタで構成されている。

【0035】次に、本発明の液晶ライトバルブのデバイス構造を詳細に説明する。

【0036】図4は本発明の第1の実施例の断面図である。液晶ライトバルブは単結晶シリコン板の一方の表面に、エンハンスメント形のNMOSトランジスタで構成されたMOSトランジスタ1 a、MOS容量で構成された保持容量1 b及び反射電極などから構成される画素回路1を形成した第1の基板100と、ガラスなどの透明な材料からなる対向基板301の一方の表面にITO (Indium-tin-oxide)などの透明導電材料からなる対向電極302を形成した第2の基板300との間に液晶200を充填したものである。図1に示すサンプル回路2、水平走査回路3、垂直走査回路4及びANDゲート5も画素回路1と同じく第1の基板表面に形成される。

(6)

9

【0037】第1の基板100は、一方の表面側にMOSトランジスタ1aを構成するソース領域、ドレイン領域及び保持容量1bの一方の電極となる領域を形成した単結晶シリコン板111と、単結晶シリコン板111上に選択的に形成されたポリシリコン層120と、ポリシリコン層120上に形成された第1の絶縁層130と、第1の絶縁層130上に形成され第1の絶縁層130を貫通して単結晶シリコン板111表面及びポリシリコン層120にコンタクトする第1の金属層140と、第1の金属層上に形成された第2の絶縁層150と、第2の絶縁層上に形成された第2の金属層160から構成されている。第1の金属層140及び第2の金属層160は例えばアルミニウムによって形成されている。

【0038】単結晶シリコン板111は、一方の表面を有し、一方の表面に隣接するn型半導体層111と、他方の表面とn型半導体層111とに隣接するp型半導体層112と、他方の表面からp型半導体層112内に延びるように形成された複数対のn+領域113と、n+領域113から離れた箇所において他方の表面からp型半導体層112内に延びるように形成された複数個のn領域114とから構成されている。複数対のn+領域113はそれぞれMOSトランジスタ1aのソース領域・ドレイン領域となるもので、図5に示すように各単位画素となる箇所（一点鎖線で示す）に一つずつ設けられている。また、複数個のn領域114は保持容量1bの一方の電極となるもので、各単位画素となる箇所に一個ずつ設けられている。

【0039】ポリシリコン層120は単結晶シリコン板111の一方の表面上に酸化シリコン層115を介して選択的に形成されている。具体的には、一方のn+領域113間に露出するp型半導体層112上、n領域114及びその近傍のp型半導体層112上に形成され、MOSトランジスタ1aのゲート電極や第1の信号線（走査信号線）の一部を構成する部分123と、保持容量1bの他方の電極となる部分124とを有している。保持容量1bは、n領域114とポリシリコン層124及びこれらの間に介在された酸化シリコン層115によって構成されている。

【0040】第1の絶縁層130上に形成された第1の金属層140は、スリット144によって複数個に分割され、MOSトランジスタ1aと保持容量1bとを接続する配線141、第2の信号線142、第3の信号線143を構成している。配線141は第1の絶縁層130に設けたコンタクトホール131を貫通して一方のn+領域113の一方及びポリシリコン層124に、第2の信号線142は第1の絶縁層130に設けたコンタクトホール131を貫通して一方のn+領域113の他方に、それぞれコンタクトしている。また、第2の信号線142は第1の絶縁層130に設けたコンタクトホール131を貫通してp型半導体層112にもコンタクトし

10

ている。

【0041】第2の金属層160は反射電極となるもので、各単位画素と略同形状を有し、各画素毎にスリット162によって分離された複数個の画素電極161を構成している。図には記載していないが、画素電極161は第2の絶縁層150に設けたスルーホール151を介して配線141とコンタクトしている（図7参照）。従って、MOSトランジスタのn+領域113の一方（ソース領域）は、コンタクトホール131及びスルーホール151により配線141を介して画素電極161に接続され（図7参照）、画素電極161に与える電圧をMOSトランジスタ1aによってスイッチングする。

【0042】ここで、配線141と画素電極161は、対向基板300の側から液晶ライトバルブに照射される光に対するMOSトランジスタ1aの遮光と、画素電極の表面の凹凸を低減するため、共にパターン同士の間隔を最小にしてその面積が極力大きくなるようレイアウトしている。すなわち、第1の金属層140及び画素電極161間のスリットの面積をできるだけ小さくし、これらスリットから入射する光量を少なくして遮光効果を向上している。また、第1の金属層140に設けたスリット144の幅を小さくすることにより、その上に塗布などによって形成される第1の絶縁層表面の凹凸、更にその上に形成される第2の金属層表面の凹凸を共に小さくする、と共に反射電極となる画素電極161の表面の凹凸を低減する。これにより、液晶ライトバルブに光源から照射された光は画素電極161で乱反射されず、有効に利用されてスクリーンに投射されるため、明るい画像を形成することができる。

【0043】図中には一画素の領域が示されている。本実施例では、2 $\mu$ mの高耐圧プロセスを用い、各画素の大きさを水平方向、垂直方向ともにそれぞれ64 $\mu$ mとしている。

【0044】図5及び図6は、第1の基板100に形成された各種パターンの平面構造を示す。図5は、シリコン基板110の表面に形成したMOSトランジスタの拡散層113、保持容量の拡散層114などの拡散層、及びその上に形成したポリシリコン層120の平面パターンを示す。また、図6は図5のパターンの上に第1の絶縁層130及び第2の絶縁層150を介して形成された第1の金属層140及び第2の金属層160の平面パターン、各金属層を電氣的に接続するために第1の絶縁層130及び第2の絶縁層150に形成されたコンタクトホール（CONT）131、スルーホール（TC）151のレイアウトパターンを示す。コンタクトホール131は拡散層又はポリシリコン層と第1の金属層を、またスルーホール151は第1の金属層と第2の金属層をそれぞれ接続する。前述の図4は、図5に示すIV-IV線に沿った断面を示す。

【0045】第1の金属層で形成される配線141、第



(7)

11

2の信号線142、第3の信号線143はスリット144によって、また、第2の金属層で形成される複数の画素電極（反射電極）161は同層に形成されたスリット162によって互いに分離されている。

【0046】第1の信号線は、MOSトランジスタのポリシリコン層123を、第1の金属層で形成される第1の信号線の金属層部145で互いに接続して形成される。両者の接続は、第1の絶縁膜に形成されたコンタクトホール131を通じてなされる。

【0047】本発明の液晶ライトバルブは、対向基板300側から照射される強力な光を画素電極161で反射する反射型であり、この反射光の強さを液晶200の状態で制御している。例えば、液晶200にポリマー分散型液晶を使用すると、画素電極161の電圧によって、液晶200は散乱状態から透明状態に変化する。このため、各画素の反射率は、液晶200が透明状態のときに高く、散乱状態のときに低くなる。本ライトバルブは、この液晶の状態を画素電極161の電圧で制御することで映像を表示している。

【0048】次に、照射光に対する遮光について説明する。半導体のpn接合部に光が照射されると、光電流が発生する。この光電流が問題となるのは、MOSトランジスタの拡散層113のソース電極部である。このソース電極部に光電流が流れると、保持容量1bに書き込んだ電圧が変化し、所定の表示画像が得られなくなる。このため、MOSトランジスタ1aの拡散層113への光を第1の金属層140と第2の金属層160で遮光している。特に、図4及び図6に示すように、画素電極161の電極間スリット162を通過する光は、第3の信号線143の配線幅を電極間スペースより十分広くとり、これを電極間スペースの直下に配置することで遮光している。

【0049】図7は図5、図6におけるVII-VII断面構造で、MOSトランジスタ1aのソース電極部を垂直方向に見たものである。画素電極161の電極間スリット162を通過する光は、画素電極161と対応した配線141をスリット162の下まではみ出させるように配置することで遮光している。

【0050】図8は図5、図6におけるVIII-VIII断面構造であり、第1の金属層140のスリット部を示す。この領域には上述の第1の金属層140及び第2の金属層160によっても遮光されず、第1の金属層に形成されたスリット144と第2の金属層に形成されたスリット162を通過してシリコン基板110の表面に直接光が照射される部分が含まれている。この直接光は、配線141、第2の信号線142、第3の信号線143の各パターン間のスリットを通り、その下のn+層116に照射される。保持容量の拡散層114と第3の信号線143との接続は、オーミックコンタクトを確保するため、n+層116を介して行われる。照射光はn+層116

12

とp型のウェル層112のpn接合部で光電流に変換される。上述のように、このp型のウェル層112とn+層116は共に第3の信号線（基板給電線）143に接続され、最下位電圧（VSS）に給電されているので、pn接合部で発生した光電流は、p型ウェル層を通じて第3の信号線の流れ消費される。この結果、光電流は、MOSトランジスタの拡散層113、特にソース領域には流れないので、保持容量1bに書き込んだ電圧を安定にホールドでき、投射ディスプレイのように強力な光が照射されても、画質の劣化がない。

【0051】また、第1の絶縁層130と第2の絶縁層150のうち少なくとも1層に光吸収性の絶縁層を用いることでも光電流を低減できる。この光吸収性の絶縁層には、着色したポリイミドなどが使用できる。さらに、第1の金属層であるアルミニウム層の表面や裏面、又は第2の金属層であるアルミニウム層の裏面に黒色材料からなる層を設け、各配線層と同一形状にパターン化することでも光電流を低減できる。この黒色材料には、酸化クロム、タンタルオキサイド等が使用できる。次に、保持容量1bへの充電速度について説明する。上述のように、第2の信号線142はMOSトランジスタの拡散層113のドレイン領域に、また第3の信号線143は保持容量の拡散層114及びp型ウェル層112にそれぞれコンタクトホール131を介して接続されている。このような素子構造により、保持容量1bに充電するときの電流経路は第2の信号線142→MOSトランジスタ1a→保持容量1b→第3の信号線143となる。第2の信号線142と第3の信号線143は、互いに平行になるように配置されている。従って、第2の信号線と第3の信号線を通る電流は互いに逆向きになるため、両配線が外部に形成する磁界は互いに打ち消しあい、配線のインダクタンスが小さくなる。また、第2の信号線と第3の信号線に金属配線層を用いたことで配線抵抗が低減される。以上のような構成により、充電時における配線部のインピーダンスが小さくなり、保持容量への映像信号の書き込みを高速にできる。

【0052】次に、図9、図10を用いて本発明の液晶ライトバルブの他の実施例を説明する。図4～図8に示した実施例と異なるのは、金属層を3層構造にして、配線141と反射電極となる画素電極の間に別の遮光層を設けている点である。ただし、図5に示す画素回路の拡散層とポリシリコン層のパターンは前の実施例と同じである。

【0053】図9は本実施例の液晶ライトバルブの断面図である。本実施例では、第2の信号線142、第3の信号線143、配線141を形成した第1の金属層140の上に第1の絶縁層150を介して遮光層163及び中間電極164を形成した第2の金属層を設け、さらにその上に第2の絶縁層170を介して画素電極（反射電極）181を設けている。遮光層163と中間電極16

(8)

13

4はスリット162で、また画素電極同士はスリット182で互いに隔てられている。MOSトランジスタの拡散層113のソース領域はスルーホール131によって配線141と、配線141はスルーホール151によって中間電極164と、そして中間電極164はスルーホール171によって画素電極181とそれぞれ接続される。画素電極に与えられる電圧は、MOSトランジスタ1aによってスイッチングされる。

【0054】図10は第1の金属層140、第2の金属層160及び第3の金属層180における各パターンの平面構造を示す。図9は図10におけるIX-IX断面図である。

【0055】図9、図10から分かるように、最上層の第3の金属層180で形成された画素電極181の電極間スリット182から入射する光は第2の金属層160で形成された遮光層163で完全に遮断される。すなわち、対向基板300側から見た場合、第3の金属層180に形成されたスリット182及び第2の金属層160に形成されたスリット162は互いにオーバーラップすることなくずれて配置されているので、第2の基板300側から入射した光は第3の金属層または第2の金属層のいずれかで反射されてシリコン基板110には到達しない。

【0056】以上のように、本実施例では第2の基板側から入射する光を第1の基板の上層に設けた第2の金属層及び第3の金属層で遮断した。入射光がシリコン基板に達するのを防止するには、第1の金属層、第2の金属層及び第3の金属層のそれぞれに形成されるスリット部が互いにオーバーラップすることがないようにずらせて配置すればよい。

【0057】また、図9、図10の構成において、第1の絶縁層130、第2の絶縁層150、第3の絶縁層170のうち少なくとも1層に光吸収性の絶縁層を用いることでも光電流を低減できる。この光吸収性の絶縁層には、着色したポリイミドなどが使用できる。さらに、第1の金属層140、第2の金属層160、第3の金属層180の少なくとも1層の裏面又は表面に黒色材料の層を設け、各金属層と同一の形状にパターン化することでも光電流を低減できる。この黒色の材料には、酸化クロム、タンタルオキサイド等が使用できる。

【0058】次に、本発明の液晶ライトバルブの実装について説明する。図11と図12はセラミック基板上に実装した液晶ライトバルブの平面構造と断面構造の一例を示している。

【0059】前述の単結晶シリコン基板の表面に画素回路、水平走査回路、垂直走査回路などを形成した第1の基板100は、回路部を上にして導電性ペーストでセラミック基板500に接着される。第1の基板100と、これと対向して設けた第2の基板300との間には液晶200を挟持する。液晶200はその周辺部に設けたシ

14

ール材510によってシールされ、外界の湿度などから保護される。

【0060】第1の基板の周辺部に設けた信号端子は、ワイヤボンディングでセラミック基板上に形成した配線パターンと接続される。また、第2の基板300の表面に設けた対向電極302とセラミック基板上の配線パターンとの接続には導電性ペースト530を用いている。第1の基板上のワイヤボンディング位置は、図11に示すように同基板の上辺部と左辺部とし、第2の基板表面の対向電極とのコンタクト位置は右辺部としている。ワイヤボンディング位置を2辺以下にすることで各基板とワイヤボンディング部の距離を小さくできる。

【0061】フレキシブルプリント基板550は半田540によってセラミック基板500の配線パターンと接続され、液晶ライトバルブの制御信号を供給する。

【0062】図13は本発明の液晶ライトバルブを適用した投射型ディスプレイの構成を示す。本投射型ディスプレイは、光源700、第1のレンズ710、ミラー720、第2のレンズ730、液晶ライトバルブ740、投射レンズ750、スクリーン760で構成される。光源700からの光は第1のレンズ710でミラー720の位置に集光される。この光は第1のレンズ730で平行光とされ、液晶ライトバルブ740に照射される。液晶ライトバルブでは照射された光の反射状態を各液晶画素に印加する電圧によって制御し、液晶ライトバルブからの反射光を第1のレンズ730と投射レンズ750を介して、スクリーン760に拡大投影して画像を形成する。

【0063】また、光源からの光束を光の3原色の3つの光束に分解し、それぞれの光束に対して液晶ライトバルブを設け、3つの液晶ライトバルブからの反射光を再び合成、拡大投射することによりカラー表示の投射型ディスプレイを得ることができる。光の3原色への分解、3つの液晶ライトバルブからの反射光の合成は、例えばダイクロイックミラーを用いて同時に行うことができる。

【0064】以上、単結晶シリコン基板を用いた液晶ライトバルブ、及びこれを用いた投射型ディスプレイについて説明したが、本発明は単結晶シリコン基板のかわりに絶縁基板上に半導体層を形成した基板や化合物半導体基板を用いても可能であることは言うまでもない。

【0065】

【発明の効果】本発明によれば、MOSトランジスタなど能動素子を形成したシリコンなどの半導体基板を用いた液晶ライトバルブ及びこれを用いた投射型ディスプレイにおいて、画素回路部の半導体表面を金属配線層による信号線や画素電極など複数の遮光層で遮光し、さらに金属配線層による信号線や画素電極などで遮光できない光は基準電位に接続した半導体基板の拡散層に照射されるように配置したので、画素回路部の能動素子に流れる



(9)

15

光電流を大幅に低減できる。さらに、各画素に映像信号を供給する信号線と基板給電線に金属配線を用い、これらを互いに平行に配置したので、信号線のインピーダンスを低減でき画素への信号の書き込みを高速にできる。これらの結果、光輝度で、高精細な投射型ディスプレイに適用可能な液晶ライトバルブ、及びこれを用いた投射型ディスプレイが実現できる。

【図面の簡単な説明】

【図1】液晶ライトバルブの回路構成を示す図である。

【図2】液晶ライトバルブの動作を示すタイミングチャートである。

【図3】液晶ライトバルブを構成する走査回路の詳細回路を示す図である。

【図4】本発明の液晶ライトバルブの一実施例における断面図（図5、図6のIV-IV断面図）である。

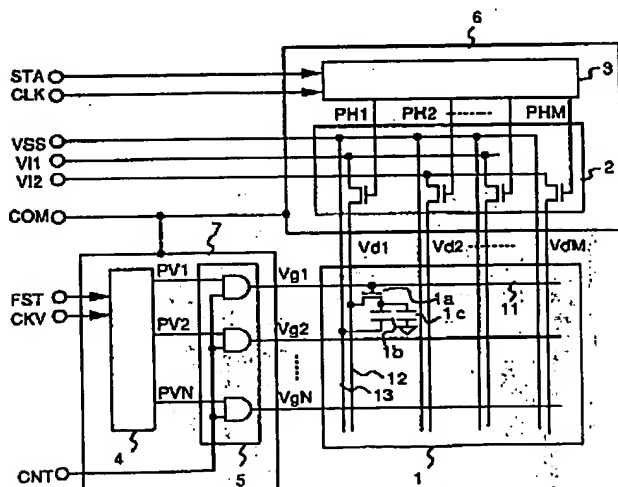
【図5】本発明の液晶ライトバルブの一実施例における画素回路の拡散層及びポリシリコン層のレイアウト図である。

【図6】本発明の液晶ライトバルブの一実施例における画素回路の第1の金属層、第2の金属層のレイアウト図である。

【図7】図5、図6のVII-VII断面図である。

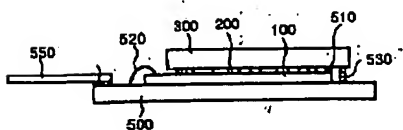
【図1】

図 1



【図12】

図 12



16

【図8】図5、図6のVIII-VIII断面図である。

【図9】本発明の液晶ライトバルブの他の実施例における断面図（図10のIX-IX断面図）である。

【図10】本発明の液晶ライトバルブの他の実施例における画素回路の第1の金属層、第2の金属層及び第3の金属層のレイアウト図である。

【図11】セラミック基板上に実装した液晶ライトバルブの平面構造を示す図である。

【図12】セラミック基板上に実装した液晶ライトバルブの断面構造を示す図である。

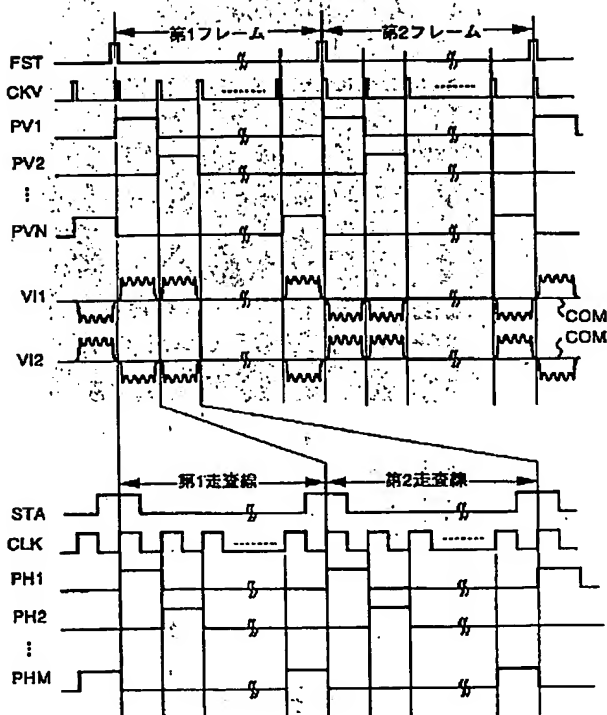
【図13】液晶ライトバルブを適用した投射型ディスプレイの構成を示す図である。

【符号の説明】

1…画素回路、1a…MOSトランジスタ、1b…保持容量、1c…液晶容量、2…サンプリング回路、3…水平走査回路、4…垂直走査回路、5…ANDゲート、6、7…遮光層、100…第1の基板、110…シリコン基板、120…ポリシリコン層、130…第1の絶縁層、140…第1の金属層、150…第2の絶縁層、160…第2の金属層、170…第3の絶縁層、180…第3の金属層、200…液晶、300…第2の基板。

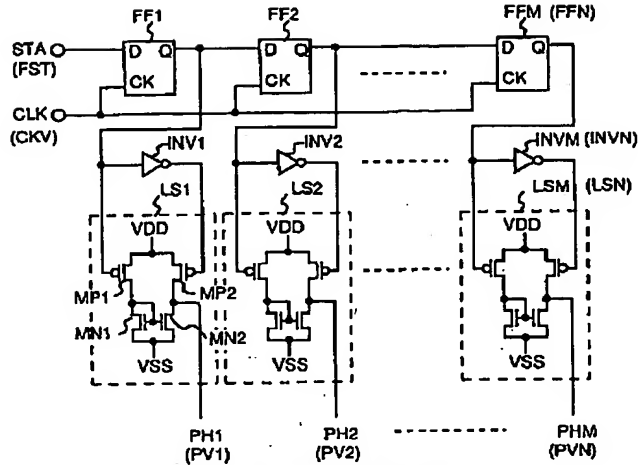
【図2】

図 2



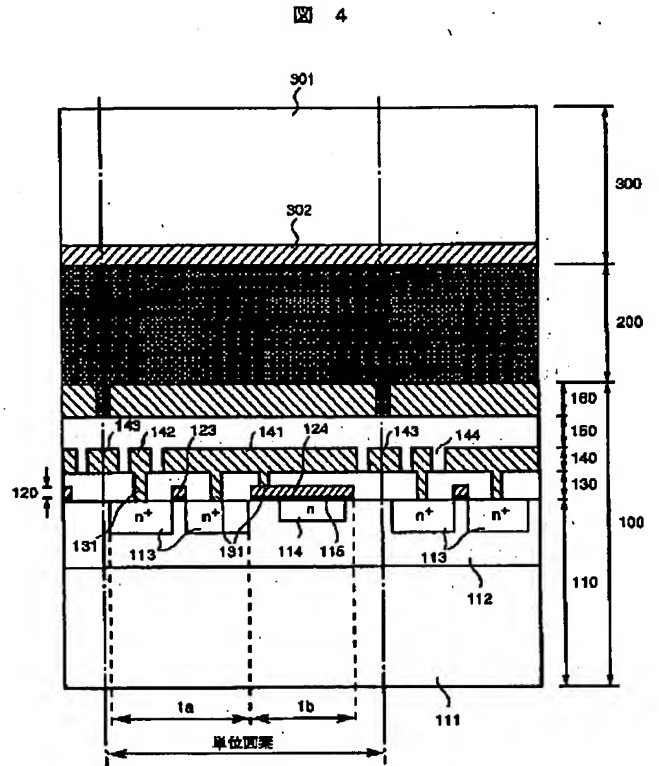
(10)

【図3】

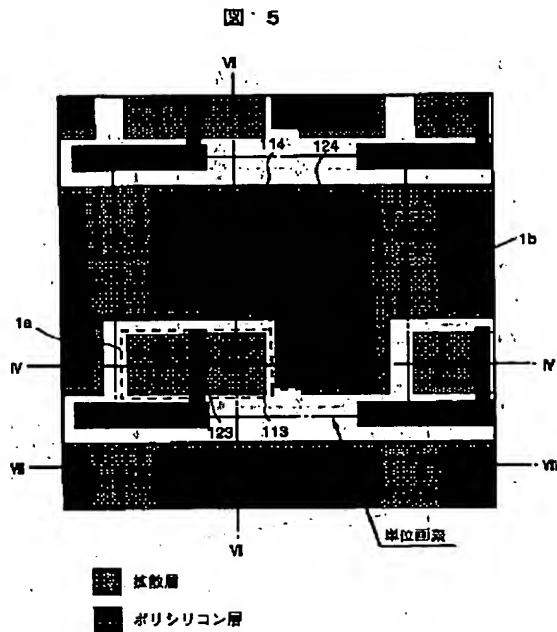


( )は水平走査回路と異なる垂直走査回路の記号。

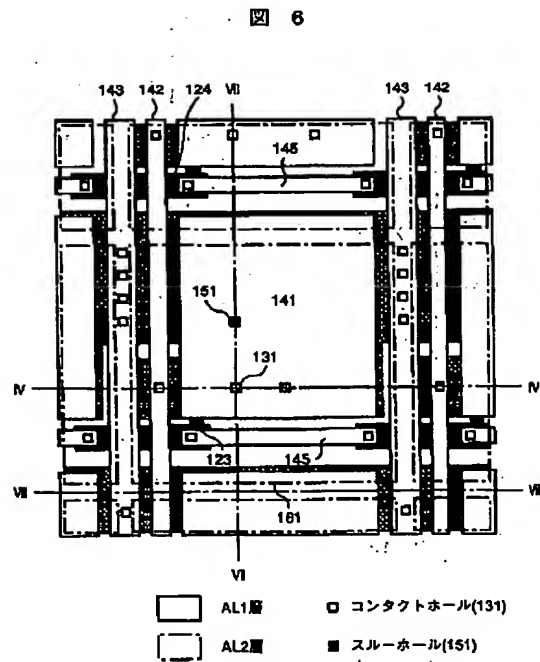
【図4】



【図5】



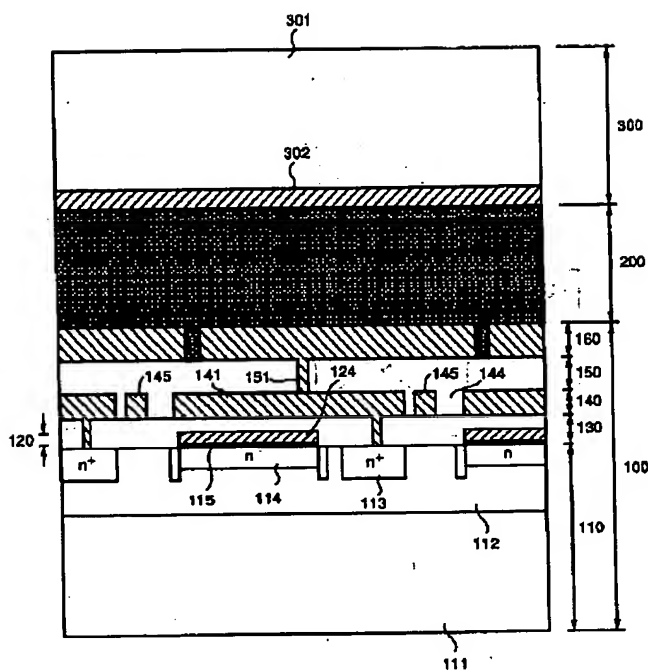
【図6】



(11)

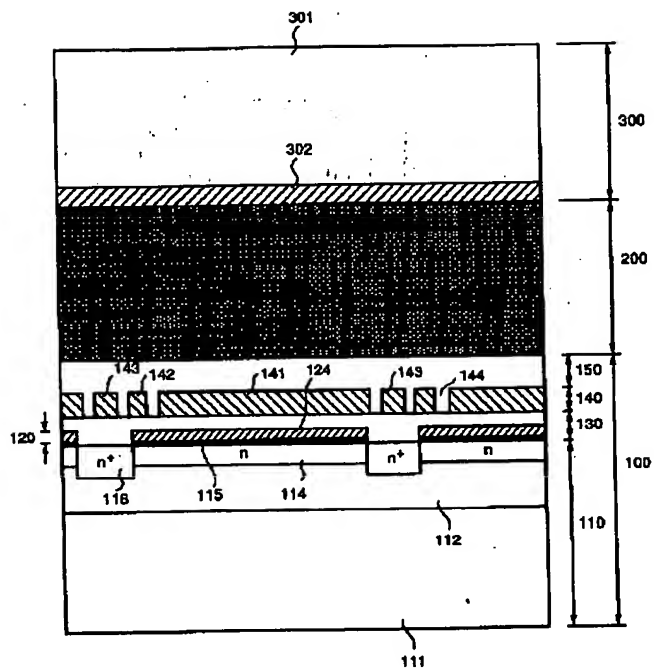
【図7】

図 7



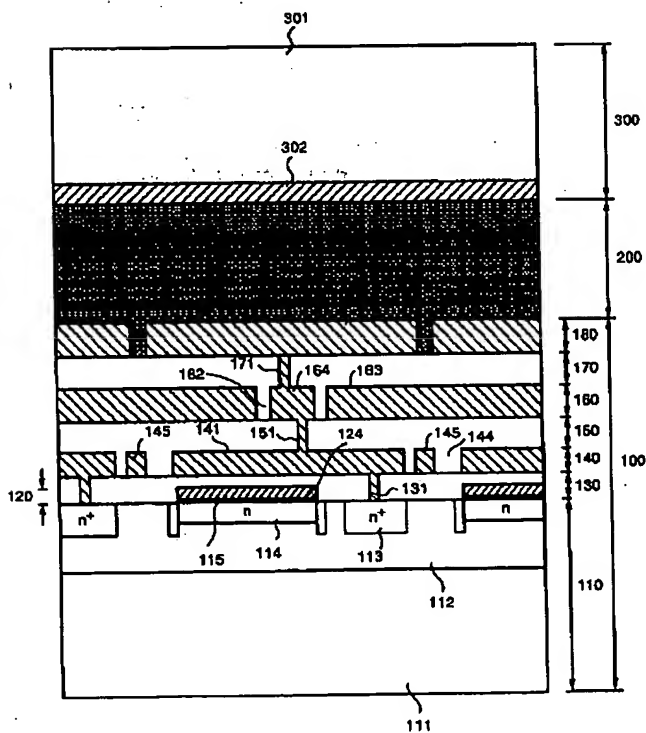
【図8】

図 8



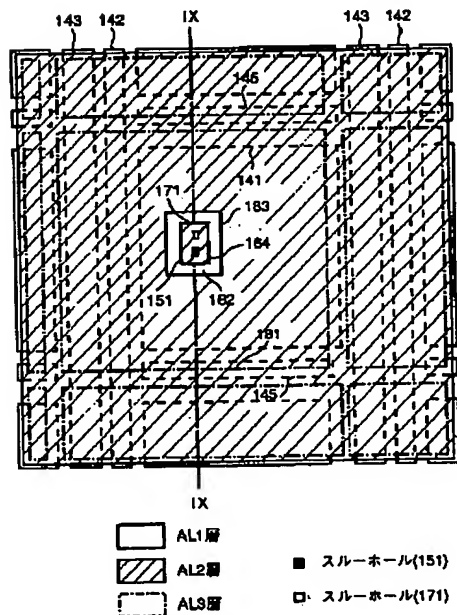
【図9】

図 9



【図10】

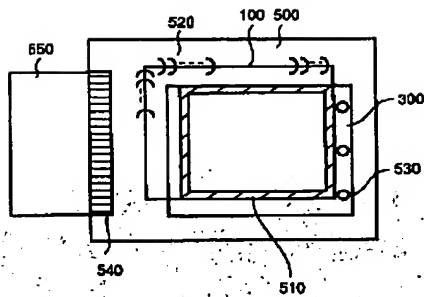
図 10



(12)

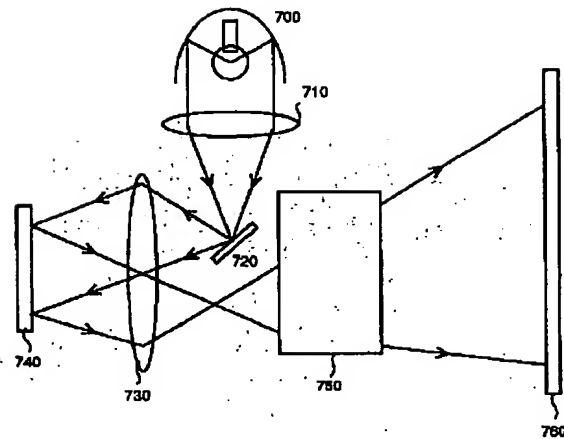
【図 11】

図 11



【図 13】

図 13



フロントページの続き

(72)発明者 星野 稔  
茨城県日立市大みか町七丁目1番1号 株  
式会社日立製作所日立研究所内

(72)発明者 森 祐二  
茨城県日立市大みか町七丁目1番1号 株  
式会社日立製作所日立研究所内

(72)発明者 小村 真一  
茨城県日立市大みか町七丁目1番1号 株  
式会社日立製作所日立研究所内

(72)発明者 長江 慶治  
茨城県日立市大みか町七丁目1番1号 株  
式会社日立製作所日立研究所内

(72)発明者 永田 徹也  
茨城県日立市大みか町七丁目1番1号 株  
式会社日立製作所日立研究所内

(72)発明者 有本 昭  
茨城県日立市大みか町七丁目1番1号 株  
式会社日立製作所日立研究所内

(72)発明者 早坂 昭夫  
千葉県茂原市早野3300番地 株式会社日立  
製作所電子デバイス事業部内

(72)発明者 勝山 一郎  
茨城県日立市大みか町五丁目2番1号 日  
立プロセスコンピュータエンジニアリング  
株式会社内

【公報種別】特許法第17条の2の規定による補正の掲載  
【部門区分】第6部門第2区分  
【発行日】平成13年8月31日(2001. 8. 31)

【公開番号】特開平6-194690  
【公開日】平成6年7月15日(1994. 7. 15)  
【年通号数】公開特許公報6-1947  
【出願番号】特願平5-252783  
【国際特許分類第7版】

G02F 1/136 500  
1/13 505  
1/1345

【FI】

G02F 1/13 505  
1/1345

【手続補正書】

【提出日】平成12年10月6日(2000. 10. 6)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正内容】

【発明の名称】液晶ライトバルブ及び液晶表示パネル

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】一方の表面にマトリクス状に形成された複数個のスイッチング素子領域を有する半導体基板と、前記半導体基板の一方の表面上に絶縁層を介して形成され、第1のスリットで複数個に分割された第1の金属層と、

前記第1の金属層上に絶縁層を介して形成され、第2のスリットで複数個に分割された第2の金属層と、前記第2の金属層上に絶縁層を介して形成され、第3のスリットで複数個に分割された第3の金属層と、一方の表面に対向電極を有し、前記対向電極側が前記第3の金属層に間隙を有して対向する対向基板と、前記対向電極と第3の金属層との間の間隙に充填された液晶とからなり、

前記第1のスリット、第2のスリット及び第3のスリットは前記対向基板側から入射した光が半導体基板に達するのを防止するために、互いに隣接するスリットが半導体基板の一方の表面と平行な方向に互いにずれて配置されている液晶ライトバルブ。

【請求項2】請求項1の液晶ライトバルブにおいて、

前記半導体基板の一方の表面に前記スイッチング素子領域の各々に対応して容量素子領域を設け、前記スイッチング素子領域の基板電位領域および前記容量素子領域に基板電位を供給する基板給電線を前記金属層のいずれかで形成した液晶ライトバルブ。

【請求項3】請求項1又は2の液晶ライトバルブにおいて、

前記スイッチング素子領域の映像信号入力端子部に映像信号を供給する映像信号線を、前記金属層のいずれかで形成し、前記基板給電線と映像信号線を互いに平行に配置した液晶ライトバルブ。

【請求項4】請求項1から3のいずれかに記載の液晶ライトバルブにおいて、

前記スイッチング素子領域にMOSトランジスタ、前記容量素子領域にMOS容量を形成した液晶ライトバルブ。

【請求項5】請求項1から4のいずれかに記載の液晶ライトバルブにおいて、

2  
前記第1の金属層、第2の金属層または第3の金属層の少なくとも一方の面に黒色層を設けた液晶ライトバルブ。

【請求項6】請求項1から5のいずれかに記載の液晶ライトバルブにおいて、

前記半導体基板の一方の表面に前記複数個のスイッチング素子領域に信号を供給する信号回路の領域を設けたことを特徴とする液晶ライトバルブ。

【請求項7】請求項6の液晶ライトバルブにおいて、

10  
前記信号回路は、前記複数個のスイッチング素子領域に映像信号を供給する回路及びスイッチング素子の制御信号を供給する回路である液晶ライトバルブ。

【請求項8】請求項7の液晶ライトバルブにおいて、

前記信号回路は高耐圧CMOSトランジスタと低耐圧CMOSトランジスタで構成される液晶ライトバルブ。

(2)

3

【請求項9】請求項8の液晶ライトバルブにおいて、前記半導体基板の一方の表面で、前記信号回路の領域の周辺部に基板電位に接続した基板給電領域を設けた液晶ライトバルブ。

【請求項10】透明基板と、半導体基板と、これらの基板間に挟持された液晶層を有する液晶表示パネルにおいて、

前記半導体基板上に配置されたスイッチング素子と、該スイッチング素子上に配置された複数の金属層とを有し、

該複数の金属層はそれぞれ複数のスリットにより分割されており、隣接する金属層間ではスリットが互いにずれて配置されていることを特徴とする液晶表示パネル。

【請求項11】請求項10の液晶表示パネルにおいて、前記半導体基板の直近の金属層のスリットに対応する前記半導体基板上に配置した半導体領域とを有した液晶表示パネル。

【請求項12】請求項11の液晶表示パネルにおいて、

4

前記半導体領域は、N型半導体領域及びP型半導体領域であることを特徴とする液晶表示パネル。

【請求項13】請求項11又は12の液晶表示パネルにおいて、

前記半導体領域は基準電位に接続されていることを特徴とする液晶表示パネル。

【請求項14】請求項13の液晶表示パネルにおいて、前記半導体領域は、前記複数の金属層のいずれかを介して基準電位に接続されていることを特徴とする液晶表示パネル。

10

【請求項15】請求項10から14のいずれかに記載の液晶表示パネルにおいて、

前記複数の金属層は、少なくとも2層であることを特徴とする液晶表示パネル。

【請求項16】請求項10から14のいずれかに記載の液晶表示パネルにおいて、

前記複数の金属層は、少なくとも3層であることを特徴とする液晶表示パネル。